

Klausur zur Vorlesung

Grundlagen der Technischen Informatik (GTI)

Prof. Marco Platzner
Fachgebiet Technische Informatik
Universität Paderborn

17.03.2017

- Die Bearbeitungsdauer beträgt für alle Studenten **90 Minuten**. Es sind **alle 5 Aufgaben** zu bearbeiten.
- Es sind keine Hilfsmittel zugelassen.
- Schreiben Sie nicht mit Bleistift oder Rotstift.
- Verwenden Sie kein eigenes Papier. Bei Bedarf bekommen Sie Papier bei der Klausuraufsicht.
- Schreiben Sie auf jedes Blatt (auch auf das Konzeptpapier) in Blockschrift Ihren Namen und Ihre Matrikelnummer.
- Bei mehreren präsentierten Lösungen wird die Aufgabe nicht gewertet! Streichen Sie daher bei Angabe mehrerer Lösungsansätze die nicht zu bewertenden Lösungen durch! Verwenden Sie kein Tipp-Ex.
- Abschreiben und abschreiben lassen oder Hilfe Dritter führt zum Nichtbestehen der Klausur.

Nachname: _____

Vorname: _____

Matrikelnummer: _____

Studiengang: _____

Aufkleber

Aufgabe	1	2	3	4	5	Σ
Punkte	15	20	15	25	15	90
Erreicht						

Aufgabe 1 (Multiple Choice)

[15 Punkte]

Bei den folgenden Fragen können keine, eine oder mehrere Antworten richtig sein. Kreuzen Sie die richtigen Antworten deutlich an.

(a) Welche der folgenden Booleschen Ausdrücke sind dual?

☐ $a + b \xleftrightarrow{\text{dual}} \bar{a} \cdot \bar{b}$

☐ $a \cdot b + \bar{c} \xleftrightarrow{\text{dual}} (a + b) \cdot \bar{c}$

☐ $a \cdot b + \bar{c} \xleftrightarrow{\text{dual}} (\bar{a} + \bar{b}) \cdot c$

☐ $\overline{a \cdot b} \xleftrightarrow{\text{dual}} \bar{a} + \bar{b}$

(b) Welche Aussagen zur Zahlendarstellung sind korrekt?

☐ In der Vorzeichen/Betrag Darstellung sind Multiplikation und Division relativ einfach im Vergleich zur Darstellung im 2er Komplement

☐ Der Exzess- m Code besitzt einen unsymmetrischen Wertebereich

☐ In der 1er- und 2er-Komplement Darstellung sind Multiplikation und Division relativ schwierig im Vergleich zur Vorzeichen/Betrag Darstellung

☐ Die 1er-Komplement Darstellung hat nur eine Darstellung für die Null

(c) Welche Aussagen zur Mikroprogrammierung (MP) sind korrekt?

☐ Bei vertikaler MP ist im Datenpfad keine Parallelität möglich

☐ Bei horizontaler MP kann im Vergleich zur vertikalen MP ein relativ kleines Control Memory verwendet werden

☐ Vertikale MP erlaubt immer nur das Setzen eines Steuersignals

☐ Bei diagonalen MP ist für jedes Steuersignal ein Bit im Control Memory Data Register vorgesehen

NAME:

Matrikelnummer:

(d) Wenn viele Punkt-zu-Punkt Verbindungen durch einen Bus ersetzt werden...

- ☐ sinkt der Hardwareaufwand
- ☐ sinkt die Ausfallsicherheit
- ☐ können weniger Komponenten gleichzeitig kommunizieren
- ☐ ist kein "broadcast" möglich

(e) In VHDL bedeutet er Wert 'U' eines Signals vom Datentyp `std_logic`

- ☐ nicht initialisiert
- ☐ unbekannt
- ☐ don't care
- ☐ hochohmig

Aufgabe 2 (VHDL)

[20 Punkte]

Auf den nächsten Seiten sind Ihnen drei VHDL-Quelltexte (Q1 bis Q3), drei Blockschaltbilder (B1 bis B3) und drei Signalverläufe (S1 bis S3) gegeben.

- (a) In den Quelltexten sind einige Fehler bzgl. inkompatibler Datentypen zu finden. Alle Ein- und Ausgänge sind vom Typ `std_logic`. Finden Sie die Fehler und tragen Sie sie in die folgende Tabelle ein:

Quelltext	Zeile	Fehler
Q1	7	
Q1	8	
Q1	9	
Q2	7	
Q2	8	
Q2	9	

- (b) Welches Blockschaltbild und welcher Signalverlauf passt zu welchem Quelltext? Wenn kein Blockschaltbild oder kein Signalverlauf passt, dann streichen Sie bitte das entsprechende Tabellenfeld durch!

Quelltext	Blockschaltbild	Signalverlauf
Q1		
Q2		
Q3		

- (c) Mit welcher Takt*frequenz* wird die Simulation in den Signalverläufen S1 bis S3 betrieben? Begründen Sie ihre Lösung.

NAME:

Matrikelnummer:

Quelltext	Zeile	Fehler
Q1	7	
Q1	8	
Q1	9	
Q2	7	
Q2	8	
Q2	9	

Ersatztable für (a), ungültige Lösungen streichen!

Quelltext	Blockschaltbild	Signalverlauf
Q1		
Q2		
Q3		

Ersatztable für (b), ungültige Lösungen streichen!

Ersatzleerzeilen für (c), ungültige Lösungen streichen!

Q1

```
1 architecture Q1 of Test_Q1 is
2   signal temp: std_logic_vector(2 downto 0);
3 begin
4
5   a_proc : process (CLK, RST, a, b, c, d) is
6   begin
7     if rst = 1 then
8       x <= '0'; y <= '0'; z <= '0'; temp <= '000';
9     elsif clk'event and clk = 1 then
10      temp <= ('0' & b & a) + ('0' & d & c);
11      x <= temp(0); y <= temp(1); z <= temp(2);
12    end if;
13  end process;
14
15 end architecture;
```

Q2

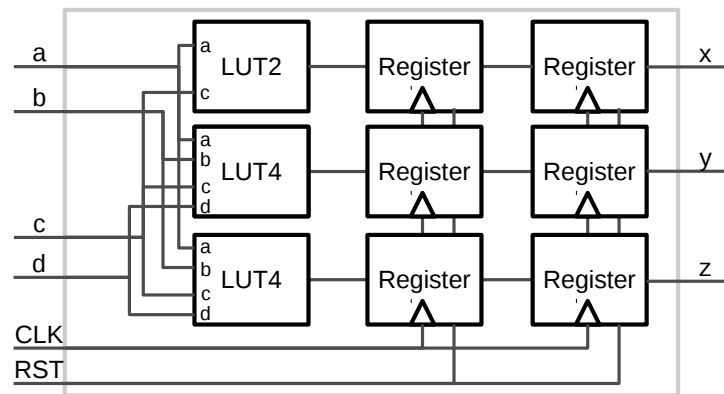
```
1 architecture Q2 of Test_Q2 is
2   signal temp: std_logic_vector(2 downto 0);
3 begin
4
5   a_proc : process (CLK, RST, a, b, c, d) is
6   begin
7     if rst = 1 then
8       temp <= '000';
9     elsif clk'event and clk = 1 then
10      temp <= ('0' & b & a) + ('0' & d & c);
11    end if;
12  end process;
13
14   x <= temp(0); y <= temp(1); z <= temp(2);
15
16 end architecture;
```

Q3

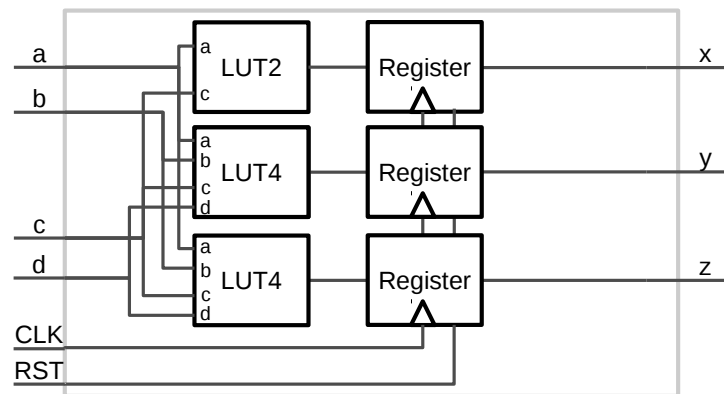
```
1 architecture Q3 of Test_Q3 is
2   signal temp: std_logic_vector(2 downto 0);
3 begin
4   temp <= ('0' & b & a) + ('0' & d & c);
5   x <= temp(0); y <= temp(1); z <= temp(2);
6 end architecture;
```

NAME:

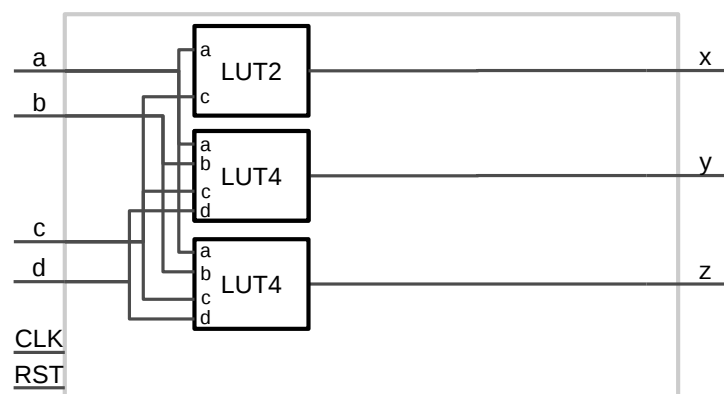
Matrikelnummer:



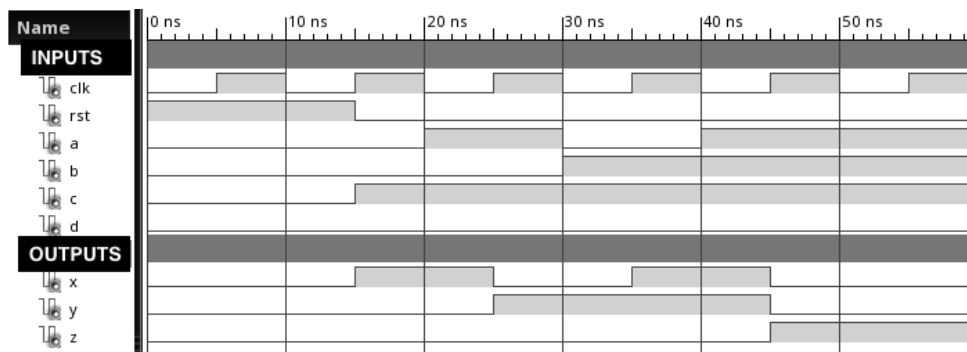
B1



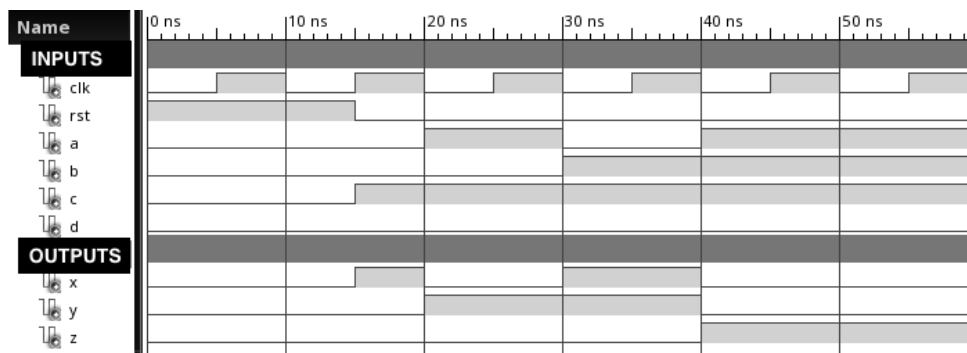
B2



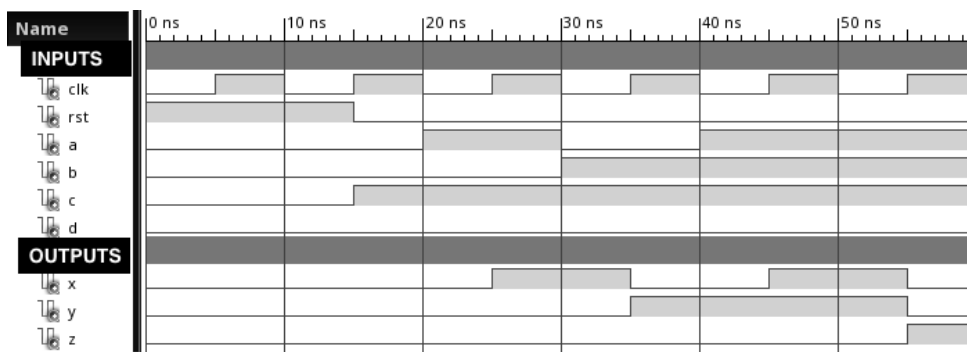
B3



S1



S2



S3

NAME:

Matrikelnummer:

Aufgabe 3 (Schieberegister)

[15 Punkte]

Ein linear rückgekoppeltes Schieberegister (engl. *Linear Feedback Shift Register, LFSR*) ist ein Schieberegister, bei dem in jedem Takt das nachzuschiebende Bit aus einer XOR-Verknüpfung mehrerer anderer Stellen des Schieberegisters berechnet wird. Gegeben ist ein 4-Bit Linear Feedback Shift Register mit den Bit-Positionen $Y(3) \dots Y(0)$. Bei einem Reset wird das Register auf den Wert "1010" gesetzt. In jedem Takt wird das Register um ein Bit nach rechts geschoben. Das nachzuschiebende Bit bekommt den Wert $Y(a) \oplus Y(b)$, wobei \oplus der XOR Operator ist.

(a) Bestimmen Sie a und b anhand der vorgegebenen Zeilen der Tabelle.

$a =$ _____

$b =$ _____

Taktschritt	$Y(3)$	$Y(2)$	$Y(1)$	$Y(0)$
t_0	1	0	1	0
t_1	1	1	0	1
t_2	1	1	1	0
t_3	1	1	1	1
t_4	0	1	1	1
t_5	0	0	1	1
t_6	0	0	0	1
t_7				
t_8				
t_9				
t_{10}				
t_{11}				
t_{12}				
t_{13}				
t_{14}				
t_{15}				
t_{16}	1	1	0	1

Taktschritt	$Y(3)$	$Y(2)$	$Y(1)$	$Y(0)$
t_0	1	0	1	0
t_1	1	1	0	1
t_2	1	1	1	0
t_3	1	1	1	1
t_4	0	1	1	1
t_5	0	0	1	1
t_6	0	0	0	1
t_7				
t_8				
t_9				
t_{10}				
t_{11}				
t_{12}				
t_{13}				
t_{14}				
t_{15}				
t_{16}	1	1	0	1

Ersatztablelle, ungültige Lösungen streichen!

NAME:

Matrikelnummer:

- (b) Erstellen Sie das Schaltbild des LFSRs unter Verwendung der aus der Vorlesung bekannten Bausteine (Flip-Flops, Gatter,...) und Notationen. Leitungen für das Taktsignal müssen nicht eingezeichnet werden. Hinweis: Jedes verwendete Flip-Flop sollte entweder einen Set- oder einen Reset- Eingang nutzen. Bitte verwenden Sie bei Bedarf die nächste Seite für das Schaltbild und kennzeichnen Sie die gültige Lösung.

- (c) Vervollständigen Sie die Tabelle in (a) für die Taktschritte t_7 bis t_{15} .
- (d) Bei welchem Taktzyklus nimmt die Ausgabe des Schieberegisters den Wert "0000" an? Begründen Sie Ihre Antwort.

NAME:

Matrikelnummer:

Aufgabe 4 (Sequentieller Multiplizierer)

[25 Punkte]

Mit Hilfe eines sequentiellen 8-Bit Multiplizierers sollen die Zahlen $X_{10} = -42_{10}$ und $Y_{10} = 57_{10}$ multipliziert werden.

- (a) Berechnen Sie die binäre 2er-Komplement Darstellung (8-Bit) der Zahlen X_{10} und Y_{10} .

$X_{2c} =$

--	--	--	--	--	--	--	--

$Y_{2c} =$

--	--	--	--	--	--	--	--

- (b) In Abbildung 7 sehen Sie einen sequentiellen 8-Bit Multiplizierer ohne Datenleitungen. Zu Beginn werden die Zahlen X_{2c} und Y_{2c} in die entsprechenden Register in ihrer 2er-Komplement Darstellung geladen.

Zeichnen Sie in die Abbildung 7 die notwendigen Datenleitungen ein, um die Operation $Z_{2c} = X_{2c} \cdot Y_{2c}$ durchzuführen und geben Sie die Breite der Leitungen an.

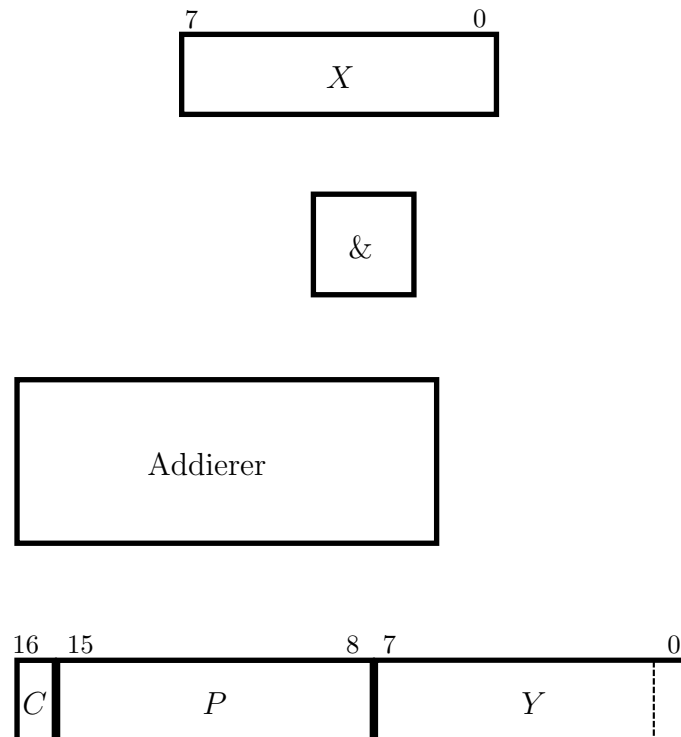


Abbildung 7: Sequentieller Multiplizierer

NAME:

Matrikelnummer:

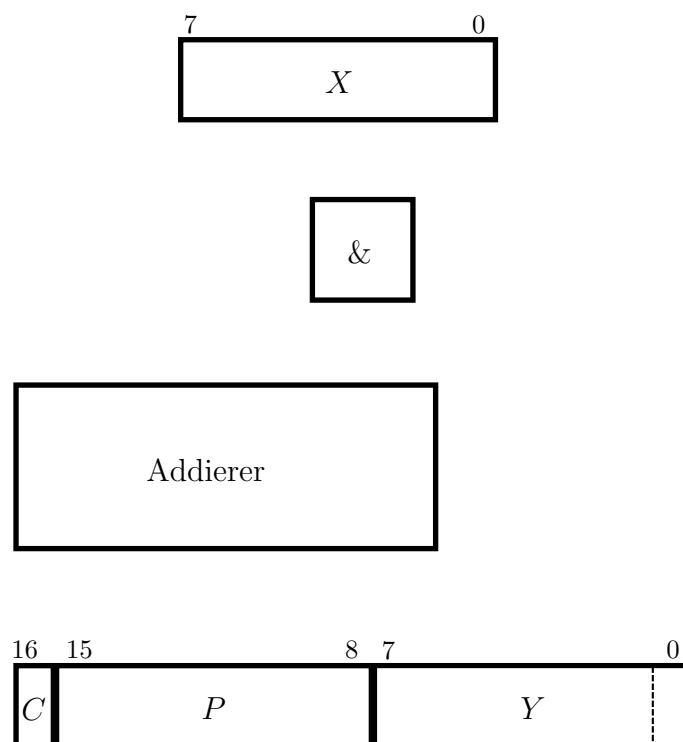


Abbildung 8: **Ersatzabbildung für (b)** Ungültige Lösung streichen!

- (c) Führen Sie die Multiplikation $Z_{2c} = X_{2c} \cdot Y_{2c}$ mit Hilfe des in Abbildung 7 angegebenen sequentiellen Multiplizierers durch.

Füllen Sie hierzu die Tabelle 1 aus und geben das Ergebnis Z_{2c} an.

	C	P								Y								Beschreibung
																		Initialisieren
+																		
+																		
+																		
+																		
+																		
+																		
+																		
+																		
+																		
+																		
+																		

Tabelle 1: Einzelschritte der sequentiellen Multiplikation

$$Z_{2c} = \begin{array}{|c|c|c|c|c|c|c|c|c|c|c|c|c|c|c|c|c|c|} \hline & & & & & & & & & & & & & & & & & \\ \hline \end{array}$$

NAME:

Matrikelnummer:

	C	P								Y									Beschreibung
																			Initialisieren
+																			
+																			
+																			
+																			
+																			
+																			
+																			
+																			
+																			
+																			

Tabelle 2: **Ersatzabbildung für (c)** Ungültige Lösung streichen!

(d) Berechnen Sie die Dezimaldarstellung des Ergebnisses der Multiplikation aus (c).

$$Z_{10} = \begin{array}{|c|c|c|c|c|} \hline & & & & \\ \hline \end{array}$$

NAME:

Matrikelnummer:

Aufgabe 5 (CMOS Schaltung)

[15 Punkte]

Gegeben ist die CMOS-Schaltung in Abbildung 9 mit drei Eingängen.

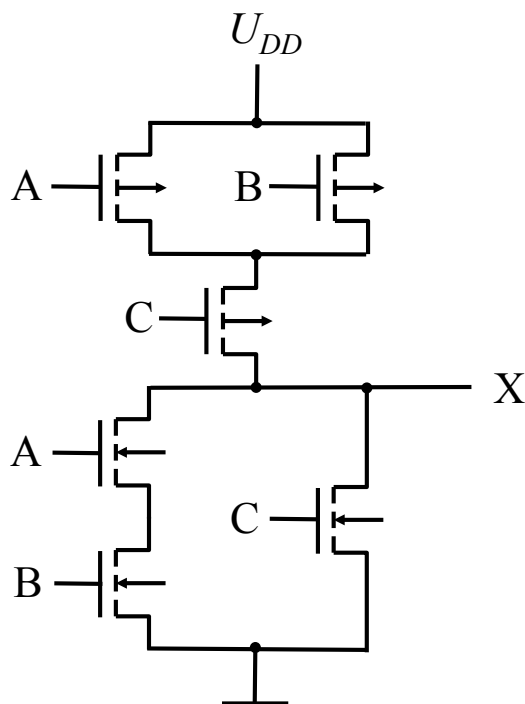


Abbildung 9: CMOS Schaltung mit drei Eingängen

- (a) Bestimmen Sie die logische Funktion der CMOS-Schaltung in Abbildung 9 durch Konstruktion der Wahrheitstabelle.

A	B	C	X
0	0	0	
0	0	1	
0	1	0	
0	1	1	
1	0	0	
1	0	1	
1	1	0	
1	1	1	

Abbildung 10: Wahrheitstabelle

A	B	C	X
0	0	0	
0	0	1	
0	1	0	
0	1	1	
1	0	0	
1	0	1	
1	1	0	
1	1	1	

Abbildung 11: Wahrheitstabelle (**Ersatz**), bitte ungültige Lösungen streichen

- (b) Geben Sie den Booleschen Ausdruck für die Schaltung in Abbildung 9 als minimale SOP-Form an.

$X(A, B, C) =$ _____

- (c) Durch einen Herstellungsfehler ist die Verbindung zwischen dem Drain-Anschluss des nMOS-FET unten rechts in Abbildung 12 und dem Ausgang X unterbrochen. Geben Sie in der Wahrheitstabelle die resultierenden Ausgangswerte an. Verwenden Sie dabei neben 0 und 1 nach Bedarf auch 'z' für hochohmig und '-' für don't care.

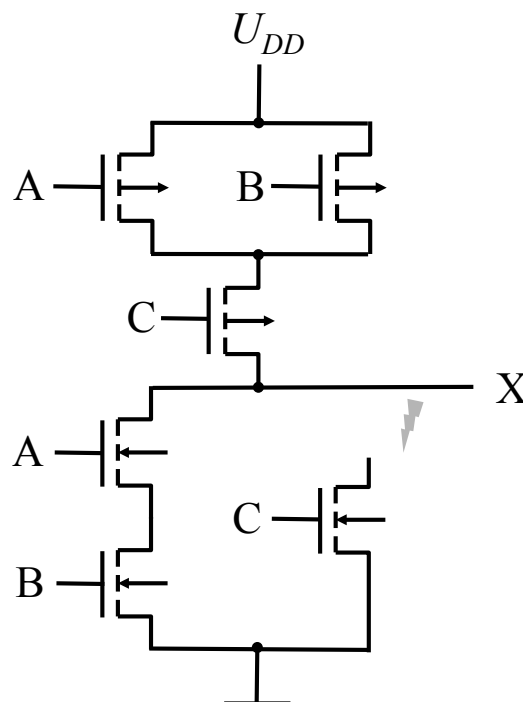


Abbildung 12: CMOS Schaltung mit drei Eingängen und Herstellungsfehler

NAME:

Matrikelnummer:

A	B	C	X
0	0	0	
0	0	1	
0	1	0	
0	1	1	
1	0	0	
1	0	1	
1	1	0	
1	1	1	

Abbildung 13: Wahrheitstabelle

A	B	C	X
0	0	0	
0	0	1	
0	1	0	
0	1	1	
1	0	0	
1	0	1	
1	1	0	
1	1	1	

Abbildung 14: Wahrheitstabelle (**Ersatz**),
bitte ungültige Lösungen streichen

Konzeptpapier: Falls der Platz unter den einzelnen Aufgaben nicht ausreicht, können Sie diese Seiten für Zwischenrechnungen nutzen. Bitte Lösung und Lösungsweg eindeutig mit der Aufgabennummer markieren!