

Klausur zur Vorlesung

Grundlagen der Technischen Informatik / Digitaltechnik (GTI/DT)

Prof. Marco Platzner
Fachgebiet Technische Informatik
Universität Paderborn

9.8.2008

- Die Bearbeitungsdauer beträgt für alle Studenten **90 Minuten**. Es sind **alle 6 Aufgaben** zu bearbeiten.
- Es sind keine Hilfsmittel zugelassen.
- Schreiben Sie nicht mit Bleistift oder Rotstift.
- Verwenden Sie kein eigenes Papier. Bei Bedarf bekommen Sie Papier bei der Klausuraufsicht.
- Schreiben Sie auf jedes Blatt (auch auf das Konzeptpapier) in Blockschrift Ihren Namen und Ihre Matrikelnummer.
- Bei mehreren präsentierten Lösungen wird die Aufgabe nicht gewertet! Streichen Sie daher bei Angabe mehrerer Lösungsansätze die nicht zu bewertenden Lösungen durch! Verwenden Sie kein Tipp-Ex.
- Abschreiben und abschreiben lassen oder Hilfe Dritter führt zum Nichtbestehen der Klausur.

Nachname: _____

Vorname: _____

Matrikelnummer: _____

Studiengang: _____

Aufkleber

Aufgabe	1	2	3	4	5	6	Σ
Punkte	15	10	20	15	10	20	90
Erreicht							

Aufgabe 1 (Multiple Choice)

[15 Punkte]

Bei den folgenden Fragen können keine, eine oder mehrere Antworten richtig sein. Kreuzen Sie die richtigen Antworten deutlich an.

(a) Welche der folgenden Booleschen Ausdrücke sind dual?

☐ $1 \xleftrightarrow{\text{dual}} 0$

☐ $a + b \xleftrightarrow{\text{dual}} \bar{a} \cdot \bar{b}$

☐ $a \cdot \bar{b} \xleftrightarrow{\text{dual}} a + \bar{b}$

☐ $\overline{a + b} \xleftrightarrow{\text{dual}} \bar{a} \cdot \bar{b}$

(b) Wenn E ein minimaler SOP-Ausdruck für eine Boolesche Funktion z ist, dann ...

☐ besitzt E eine minimale Anzahl von Produkttermen

☐ ist E eine irredundante Summe

☐ gibt es keinen Ausdruck $F \neq E$ für z , der minimal ist

☐ haben E und z die gleichen Minterme

(c) Wenn zwei Automaten äquivalent sind, dann ...

☐ sind beide Automaten vollreduziert

☐ sind ihre äquivalenten Zustände identisch

☐ haben sie gleich viele Zustände

NAME:

Matrikelnummer:

(d) Eigenschaften der Vorzeichen/Betrag-Darstellung für Festkommazahlen sind:

- ☐ symmetrischer Wertebereich
- ☐ nur eine Darstellung für die Null
- ☐ der Code 00...0 stellt Null dar
- ☐ einfache Negation durch Invertieren des höchstwertigsten bits

(e) Ein RS-Latch ...

- ☐ kann durch ungünstige Eingangswertkombinationen instabil werden
- ☐ hat einen CLOCK-Eingang
- ☐ ist ein bistabiles Speicherelement

Aufgabe 2 (Strukturelle Modellierung mit VHDL)

[10 Punkte]

Das VHDL Modul *BCD_Counter* realisiert einen Dezimalzähler für eine Ziffer.

- (a) Vervollständigen Sie die Signalverläufe der Ausgangssignale *O* und *BCD* im Timing-Diagramm in Abbildung 1 gemäß der Spezifikation.

Entity BCD_Counter

```
entity BCD_Counter is
  port (
    CLK, RST, ENABLE : in std_logic;
    O                : out std_logic;
    BCD              : out std_logic_vector(3 downto 0));
end entity BCD_Counter;

architecture myarch of BCD_Counter is

  signal counter : std_logic_vector(3 downto 0) := "0000";

begin

  BCD <= counter;

  O  <= '1' when counter="1001" and ENABLE='1' else '0';

  counter_proc : process(CLK, RST, ENABLE)
  begin
    if CLK'event and CLK = '1' then
      if RST = '1' then
        counter <= "0000";
      else
        if ENABLE='1' then
          if counter = "1001" then
            counter <= "0000";
          else
            counter <= counter + "0001";
          end if;
        end if;
      end if;
    end if;
  end process;

end architecture myarch;
```

NAME:

Matrikelnummer:

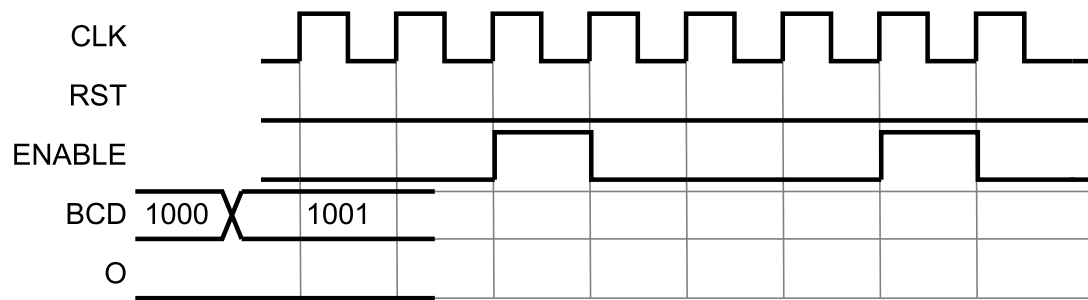


Abbildung 1: Waveform für die Entity BCD_Counter.

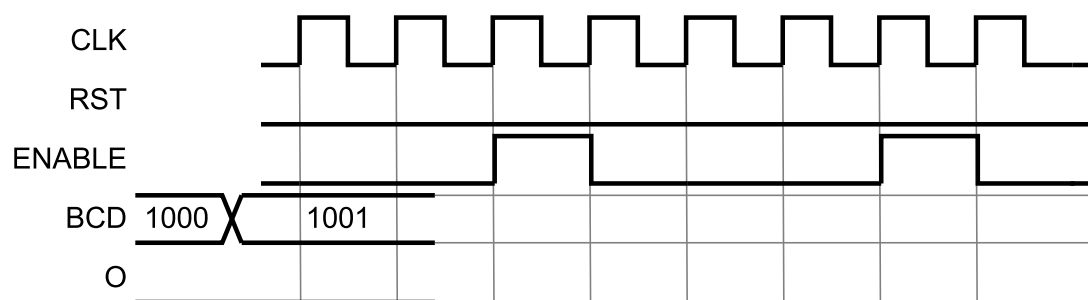


Abbildung 2: Waveform für die Entity BCD_Counter (Ersatz).

- (b) Vervollständigen Sie das Code-Fragment für die Architektur *myarch* der Entity *Two-DigitCount* so, dass 2 Instanzen der Entity *BCD_Counter* eingesetzt werden um einen 2-ziffrigen Dezimalzähler zu implementieren. Falls nötig, deklarieren Sie zusätzliche Signale. Verwenden Sie aber keine weiteren Komponenten oder Prozesse.

Die niederwertigste Ziffer (*BCD0*) soll mit jeder steigenden Flanke des Taktsignals *CLK* zählen.

Entity TwoDigitCount

```
entity TwoDigitCount is
  port (
    CLK, RST : in  std_logic;
    BCD0      : out std_logic_vector(3 downto 0);
    BCD1      : out std_logic_vector(3 downto 0));
end entity TwoDigitCount;
architecture myarch of TwoDigitCount is
  component BCD_Counter is
    port (
      CLK, RST, ENABLE : in  std_logic;
      O               : out std_logic;
      BCD             : out std_logic_vector(3 downto 0));
  end component;
```

```
begin
```

```
end architecture myarch;
```

Matrikelnummer:

```

entity TwoDigitCount is
  port (
    CLK, RST   : in   std_logic;
    BCD0       : out  std_logic_vector(3 downto 0);
    BCD1       : out  std_logic_vector(3 downto 0));
end entity TwoDigitCount;

architecture myarch of TwoDigitCount is
  component BCD_Counter is
    port (
      CLK, RST, ENABLE : in   std_logic;
      O                : out  std_logic;
      BCD              : out  std_logic_vector(3 downto 0));
  end component;

```

begin

Seite 7 / 24

Aufgabe 3 (Minimierung von Funktionsbündeln)

[20 Punkte]

Gegeben sind zwei Boolesche Funktionen f und g . Die Funktion f ist spezifiziert durch $f(a, b, c, d) = \sum(2, 4, 5, 6, 10, 13, 14)$, die Funktion g durch folgende Wahrheitstabelle:

a	b	c	d	$g(a, b, c, d)$
0	0	0	0	0
0	0	0	1	X
0	0	1	0	1
0	0	1	1	0
0	1	0	0	1
0	1	0	1	0
0	1	1	0	X
0	1	1	1	X
1	0	0	0	0
1	0	0	1	0
1	0	1	0	1
1	0	1	1	X
1	1	0	0	X
1	1	0	1	1
1	1	1	0	X
1	1	1	1	0

- (a) Bestimmen Sie für f und g jeweils eine minimale SOP-Form mittels Karnaugh-Diagramm.

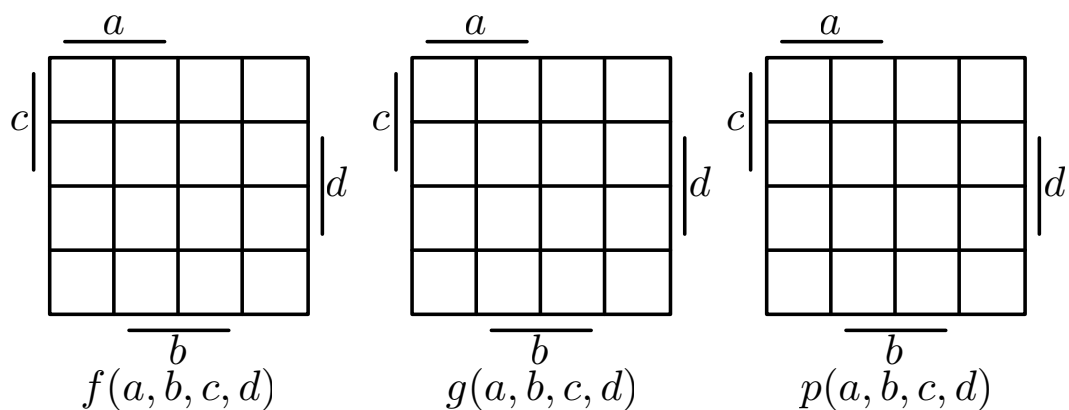


Abbildung 3: Karnaugh-Diagramme

Minimale SOP-Form $f(a, b, c, d) =$ _____

Minimale SOP-Form $g(a, b, c, d) =$ _____

NAME:

Matrikelnummer:

- (b) Tragen Sie die Produktfunktion $p = f \cdot g$ in das entsprechende Karnaugh-Diagramm in Abbildung 3 ein. Bestimmen Sie für p eine minimale SOP-Form.

Minimale SOP-Form: $p(a, b, c, d) =$ _____

- (c) Bestimmen Sie für folgende Fälle jeweils die Anzahl der benötigten Gatter und die Anzahl der Literale (aller Gattereingänge):

(i) f : _____

(ii) g : _____

- (iii) Die Funktionen f und g werden als Funktionenbündel $H = (f, g)$ realisiert, was die Nutzung gemeinsamer Produktterme ermöglicht.

H : _____

- (iv) Versuchen Sie unter Verwendung der Primimplikanten der Produktfunktion p die Anzahl der benötigten Gatter und Literale für H weiter zu reduzieren:

H : _____

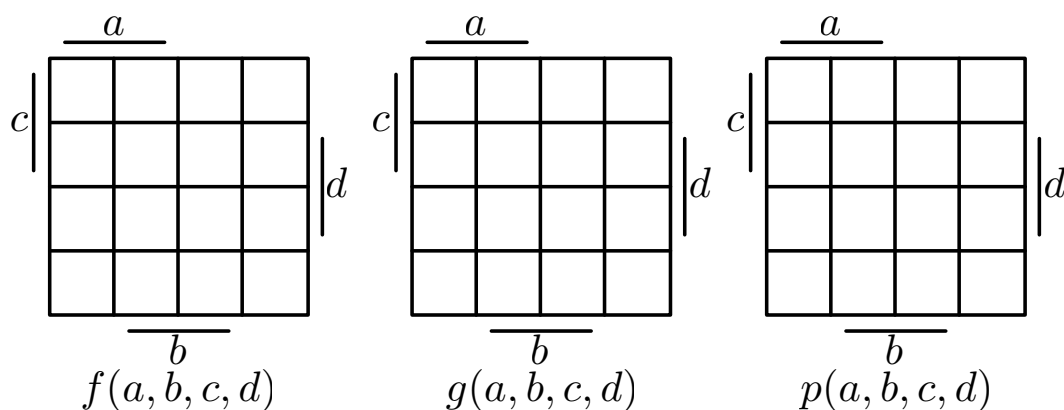


Abbildung 4: Karnaugh-Diagramme (Ersatz)

Aufgabe 4 (Ringzähler)

[15 Punkte]

Entwerfen Sie eine Schaltung, die auf einem Ringzähler basiert, und zyklisch die Sequenz $(7_{10}, 5_{10}, 1_{10}, 2_{10})$ als Binärzahlen ausgibt.

- (a) Geben Sie zunächst eine Wahrheitstabelle an, die die Abbildung zwischen den Zuständen des Ringzählers und den Ausgaben der Schaltung darstellt.
- (b) Minimieren Sie die Ausgangsfunktionen aus Aufgabenteil (a).
- (c) Zeichnen Sie die Gesamtschaltung. Hierzu stehen Ihnen D-FlipFlops und AND-, OR-, NOT-Gatter zur Verfügung.

NAME:

Matrikelnummer:

Aufgabe 5 (Sequenzieller Dividierer)

[10 Punkte]

Abbildung 5 zeigt den Aufbau eines sequenziellen Dividierers. Die vorzeichenlose Zahl $X = 1010_2$ soll durch die vorzeichenlose Zahl $Y = 0011_2$ ganzzahlig dividiert werden. Zu Beginn des Ablaufs wird das Operandenregister Y mit Y , das Register Q mit X und das Register AC mit 0 initialisiert. Am Ende der Berechnung soll der Quotient in Register Q und der Rest in AC stehen.

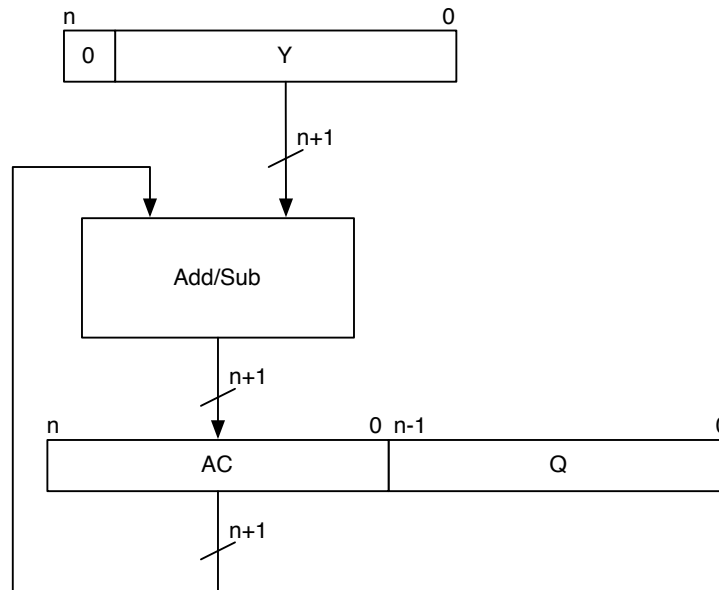


Abbildung 5: Schaltbild eines sequenziellen Dividierers

(a) Tragen Sie die fehlenden Aktionen in den unten gegebenen Algorithmus für die sequenzielle Division ein:

1. Operandenregister Y laden
2. $AC \leftarrow 0, Q \leftarrow X$
3. führe n -mal aus:
 - schiebe _____ um _____ nach _____
 - $AC \leftarrow$ _____
 - wenn $AC <$ _____ dann $AC \leftarrow$ _____
sonst $Q(0) \leftarrow$ _____
4. Quotient steht in Q , der Rest in AC

Bei der Schiebe-Operation handelt es sich um ein **logisches Schieben**.

NAME:

Matrikelnummer:

(b) Welchen Wert müssen Sie für n einsetzen?

$n =$ _____

(c) Führen Sie die Berechnungen des sequenziellen Dividierers **ausführlich** Schritt für Schritt durch. Benutzen Sie hierfür die unten angegebene Tabelle. Beschreiben Sie in der Spalte „nächste Aktion“ **kurz** die Aktion, die der Algorithmus im nächsten Schritt ausführt.

AC	Q	nächste Aktion

(d) Wie lauten der Quotient und der Rest in Binärdarstellung?

$Quotient =$ _____

$Rest =$ _____

AC	Q	nächste Aktion

NAME:

Matrikelnummer:

Aufgabe 6 (Entwurf auf RT-Ebene)

[20 Punkte]

Abbildung 6 zeigt die Komponenten und einen Teil der Signale einer Schaltung zur Generierung der Fibonacci-Folge

$$f_n = f_{n-1} + f_{n-2} \text{ für } n \geq 2$$

Die Schaltung besitzt sechs Eingänge (CLK, RESET, INIT_R0, INIT_R1, MAX und START, wobei CLK und RESET nicht dargestellt sind) und zwei Ausgänge (RES und DONE).

- Beim Anlegen einer '1' am START-Eingang soll die Schaltung die Werte der beiden Eingänge $\text{INIT_R0} = f_{n-2}$ und $\text{INIT_R1} = f_{n-1}$ in die Register R0 bzw. R1 übernehmen und mit der Berechnung der Fibonacci-Folge ab f_n beginnen.
- Jeden zweiten Takt soll das nächste Element der Folge am Ausgang RES erscheinen.
- Sobald RES den Wert des Eingangs MAX erreicht oder überschreitet, soll der DONE-Ausgang auf '1' gesetzt, der Ausgang RES beibehalten und auf das nächste START-Signal gewartet werden, um dann eine neue Berechnung zu beginnen.

Bei den Komponenten handelt es sich um zwei 8-Bit Multiplexer, zwei 8-Bit Register, einen 8-Bit-Addierer, einen 8-Bit Komparator sowie einen Controller. Die Register übernehmen den Wert am Eingang D bei gesetztem EN-Signal und steigender Taktflanke an ihren Ausgang Q. Der Controller hat die Aufgabe, das DONE-Signal zu setzen und mittels der beiden Signale EN und SEL den Datenpfad zu steuern.

- (a) Vervollständigen Sie das Blockschaltbild des Fibonacci-Generators, indem Sie die übrigen Ein- und Ausgänge der Komponenten miteinander und mit den Ein- und Ausgängen des gesamten Schaltbildes verbinden. Die Eingänge CLK und RESET sind bereits angeschlossen und müssen nicht mehr mit den Komponenten verbunden werden.

NAME:

Matrikelnummer:

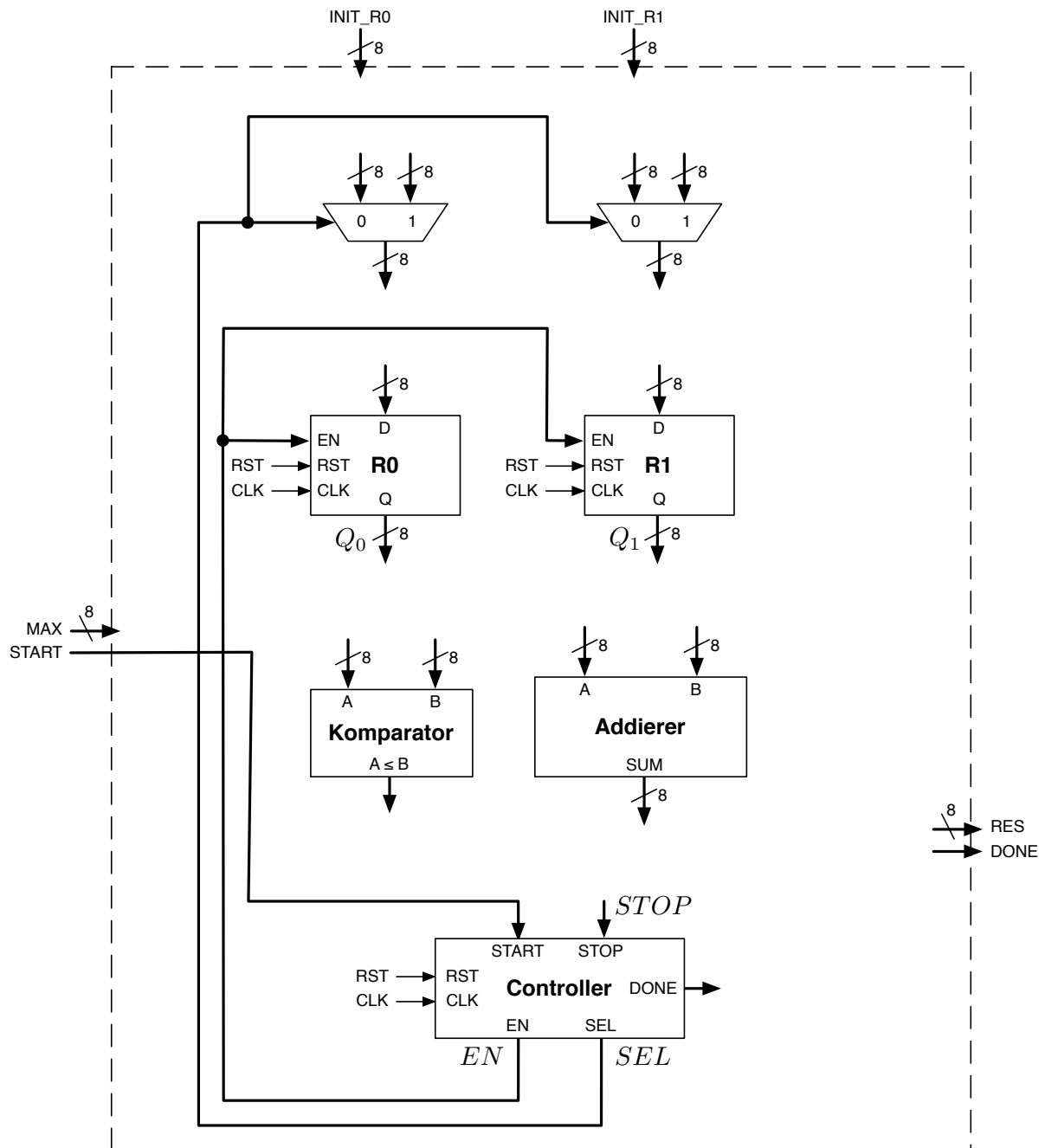


Abbildung 6: Blockschaltbild des Fibonacci-Generators

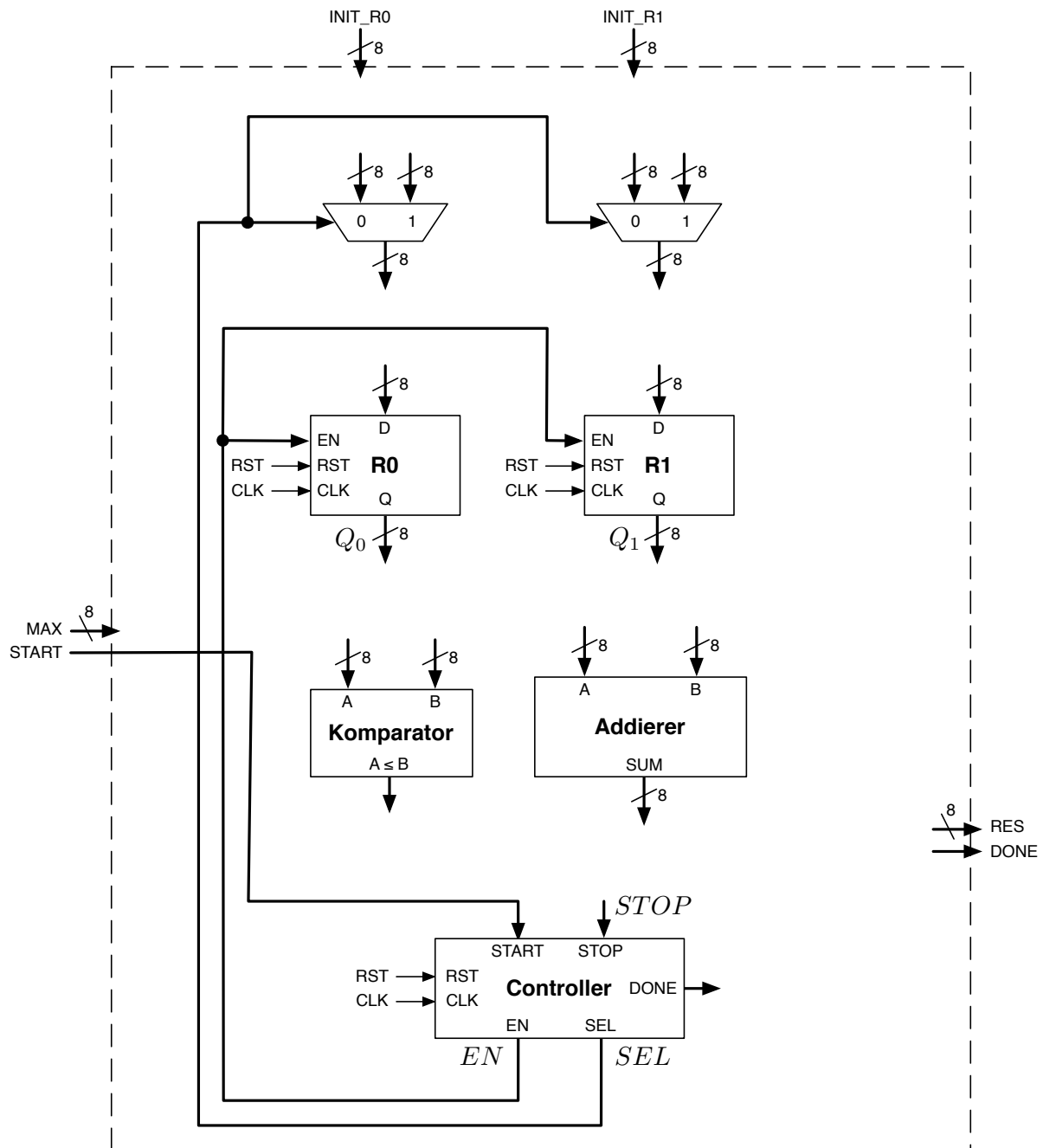


Abbildung 7: Blockschaltbild des Fibonacci-Generators (Ersatzdiagramm)

Abbildung 8 zeigt den Moore-Zustandsautomaten des Controllers. Dieser besitzt die Eingänge START und STOP sowie die Ausgänge EN, SEL und DONE.

- (b) Vervollständigen Sie den Automatengraphen des Controllers, indem Sie die Ausgangssignale in den Zuständen beschriften, so dass der Automat den Datenpfad aus Abbildung 6 korrekt steuert. Verwenden Sie für Ausgänge, deren Wert in einem Zustand irrelevant ist, das Symbol 'X'.

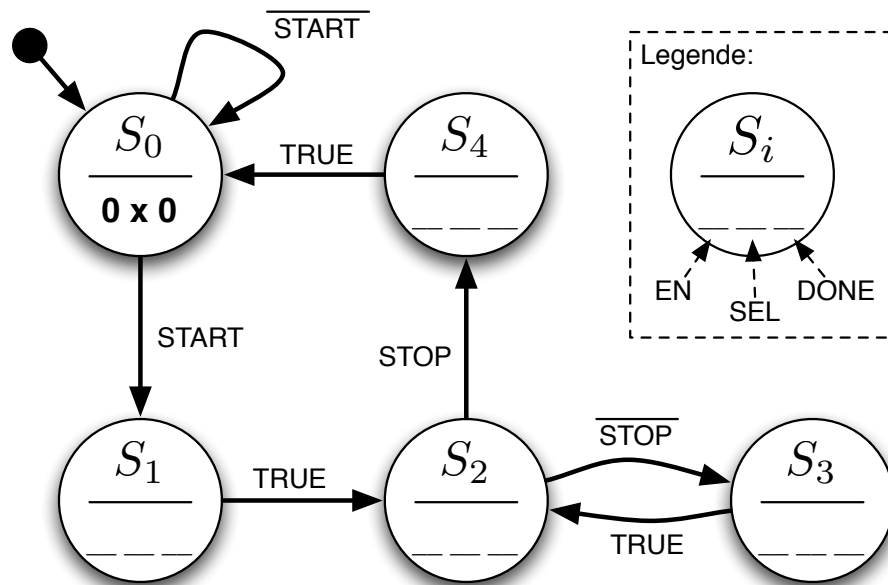


Abbildung 8: Zustandsautomatengraph des Controllers

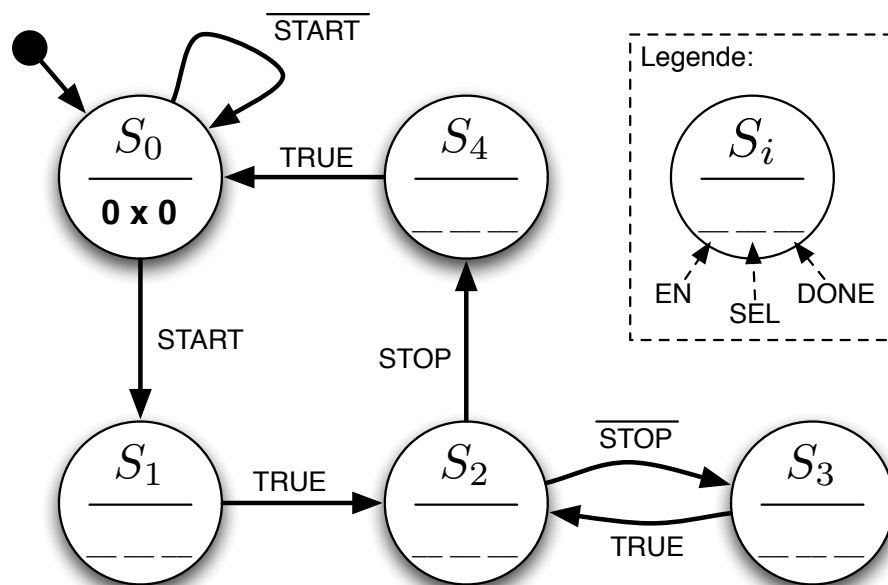


Abbildung 9: Zustandsautomatengraph des Controllers (Ersatzdiagramm)

- (c) Skizzieren Sie den Ablauf einer Berechnung des Fibonacci-Generators, indem Sie Tabelle 1 vervollständigen. Stellen Sie dabei die Signale Q_0 , Q_1 , und RES in dezimaler Schreibweise dar. Verwenden Sie das Symbol 'X' für irrelevante oder unbekannte Signalwerte.

Takt	0	1	2	3	4	5	6	7	8	9	10	11
Zustand	S_0											
MAX	75	75	75	75	75	75	75	75	75	75	75	75
START	0	1	0	0	0	0	0	0	0	0	0	0
INIT_R0	8	8	8	8	8	8	8	8	8	8	8	8
INIT_R1	13	13	13	13	13	13	13	13	13	13	13	13
Q_0	X											
Q_1	X											
RES	X											
STOP	X											
EN	0											
SEL	X											
DONE	0											

Tabelle 1: Berechnungssequenz des Fibonacci-Generators

Takt	0	1	2	3	4	5	6	7	8	9	10	11
Zustand	S_0											
MAX	75	75	75	75	75	75	75	75	75	75	75	75
START	0	1	0	0	0	0	0	0	0	0	0	0
INIT_R0	8	8	8	8	8	8	8	8	8	8	8	8
INIT_R1	13	13	13	13	13	13	13	13	13	13	13	13
Q_0	X											
Q_1	X											
RES	X											
STOP	X											
EN	0											
SEL	X											
DONE	0											

Tabelle 2: Berechnungssequenz des Fibonacci-Generators (Ersatztablelle)

NAME:

Matrikelnummer:

Konzeptpapier: Falls der Platz unter den einzelnen Aufgaben nicht ausreicht, können Sie diese Seiten für Zwischenrechnungen nutzen. Bitte Lösung und Lösungsweg eindeutig mit der Aufgabennummer markieren!

Konzeptpapier: Falls der Platz unter den einzelnen Aufgaben nicht ausreicht, können Sie diese Seiten für Zwischenrechnungen nutzen. Bitte Lösung und Lösungsweg eindeutig mit der Aufgabennummer markieren!

NAME:

Matrikelnummer:

Konzeptpapier: Falls der Platz unter den einzelnen Aufgaben nicht ausreicht, können Sie diese Seiten für Zwischenrechnungen nutzen. Bitte Lösung und Lösungsweg eindeutig mit der Aufgabennummer markieren!

Konzeptpapier: Falls der Platz unter den einzelnen Aufgaben nicht ausreicht, können Sie diese Seiten für Zwischenrechnungen nutzen. Bitte Lösung und Lösungsweg eindeutig mit der Aufgabennummer markieren!