

Klausur zur Vorlesung

Grundlagen der Rechnerarchitektur / Technische Informatik (GRA/TI)

Prof. Marco Platzner
Fachgebiet Technische Informatik
Universität Paderborn

08.02.2011

- Die Bearbeitungsdauer beträgt für alle Studenten **90 Minuten**. Es sind **alle 5 Aufgaben** zu bearbeiten.
- Es sind keine Hilfsmittel zugelassen.
- Schreiben Sie nicht mit Bleistift oder Rotstift.
- Verwenden Sie kein eigenes Papier. Bei Bedarf bekommen Sie Papier bei der Klausuraufsicht.
- Schreiben Sie auf jedes Blatt (auch auf das Konzeptpapier) in Blockschrift Ihren Namen und Ihre Matrikelnummer.
- Bei mehreren präsentierten Lösungen wird die Aufgabe nicht gewertet! Streichen Sie daher bei Angabe mehrerer Lösungsansätze die nicht zu bewertenden Lösungen durch! Verwenden Sie kein Tipp-Ex.
- Abschreiben und abschreiben lassen oder Hilfe Dritter führt zum Nichtbestehen der Klausur.

Nachname: _____

Vorname: _____

Matrikelnummer: _____

Studiengang: _____

Aufkleber

Aufgabe	1	2	3	4	5	Σ
Punkte	15	10	20	20	25	90
Erreicht						

Aufgabe 1 (Multiple Choice)

[15 Punkte]

Bei den folgenden Fragen können keine, eine oder mehrere Antworten richtig sein. Kreuzen Sie die richtigen Antworten deutlich an.

(a) Was sind Eigenschaften der MIPS Instruktionssatzarchitektur (ISA)?

- ☐ MIPS besitzt einen RISC-Instruktionssatz.
- ☐ Logikinstruktionen können mit Register- oder Speicheroperanden ausgeführt werden.
- ☐ Die MIPS ISA ist eine Stackarchitektur.
- ☐ Die Rücksprungadresse wird in einem dedizierten Register abgelegt.

(b) Der gemessene *Instruction Count* I_C bei einer Programmausführung wird beeinflusst durch:

- ☐ den Algorithmus
- ☐ den Compiler
- ☐ die mikroelektronische Technologie
- ☐ die Instruktionssatzarchitektur

(c) Wie kann eine Instruktionssatzarchitektur die Technik des Pipelining unterstützen?

- ☐ Alle Instruktionen sollen gleich lang sein.
- ☐ Daten und Instruktionen sollen im Speicher nach der Big Endian Konvention abgelegt sein.
- ☐ Es soll wenige Adressierungsarten geben.

NAME:

Matrikelnummer:

(d) Welche Aussagen sind für einen TLB (*Translation Lookaside Buffer*) richtig:

- ☐ Ein TLB wird im Zusammenhang mit virtuellem Speicher verwendet.
- ☐ Ein TLB ist ein Cache für die Page Table.
- ☐ Ein TLB ersetzt den Instruktionscache.
- ☐ Einem page fault geht immer ein TLB miss voraus.

(e) Die Pentium 4 Architektur ist eine ...

- ☐ superskalare Architektur
- ☐ VLIW Architektur
- ☐ Einzyklen-Architektur

Aufgabe 2 (Amdahls Gesetz)

[10 Punkte]

In Folge gestiegener Anforderungen plant ein Unternehmen die Neuentwicklung eines Prozessors. Hauptsächlich soll der neue Prozessor für die Abarbeitung eines Programms verwendet werden, auf dem der ältere, bereits vorhandene Prozessor eine Laufzeit von 20 Sekunden hat.

Ausführliche Analysen der Programmausführung haben ergeben, dass in 30% dieser Zeit Integerberechnungen und in 20% der Zeit Fließkommaoperationen durchgeführt werden. Die restlichen 50% werden für andere Instruktionen verwendet.

Dem Unternehmen ist es bereits gelungen, die Integeroperationen drei mal schneller zu machen. Die gestiegenen Anforderungen an den neuen Prozessor sehen einen Speedup von mindestens 1,5 im Vergleich zum alten Prozessor vor. Um welchen Faktor müssen die Fließkommaoperationen verbessert werden, damit dieses Ziel erreicht wird?

NAME:

Matrikelnummer:

Aufgabe 3 (Prozessorentwurf)

[20 Punkte]

Bei einer Mehrzyklenimplementierung eines MIPS Prozessors soll der R-Typ Befehl `sll` (Shift Left Logical) als I-Typ realisiert werden. Der Befehl verschiebt den Inhalt des Registers `rt` um die in `shamt` angegebene Anzahl Bits nach *links* und speichert das Ergebnis in `rd`. ($rd = rt \ll shamt$)

Der Daten- und Kontrollpfad für eine Mehrzyklenimplementierung ist in Abbildung 1 dargestellt.

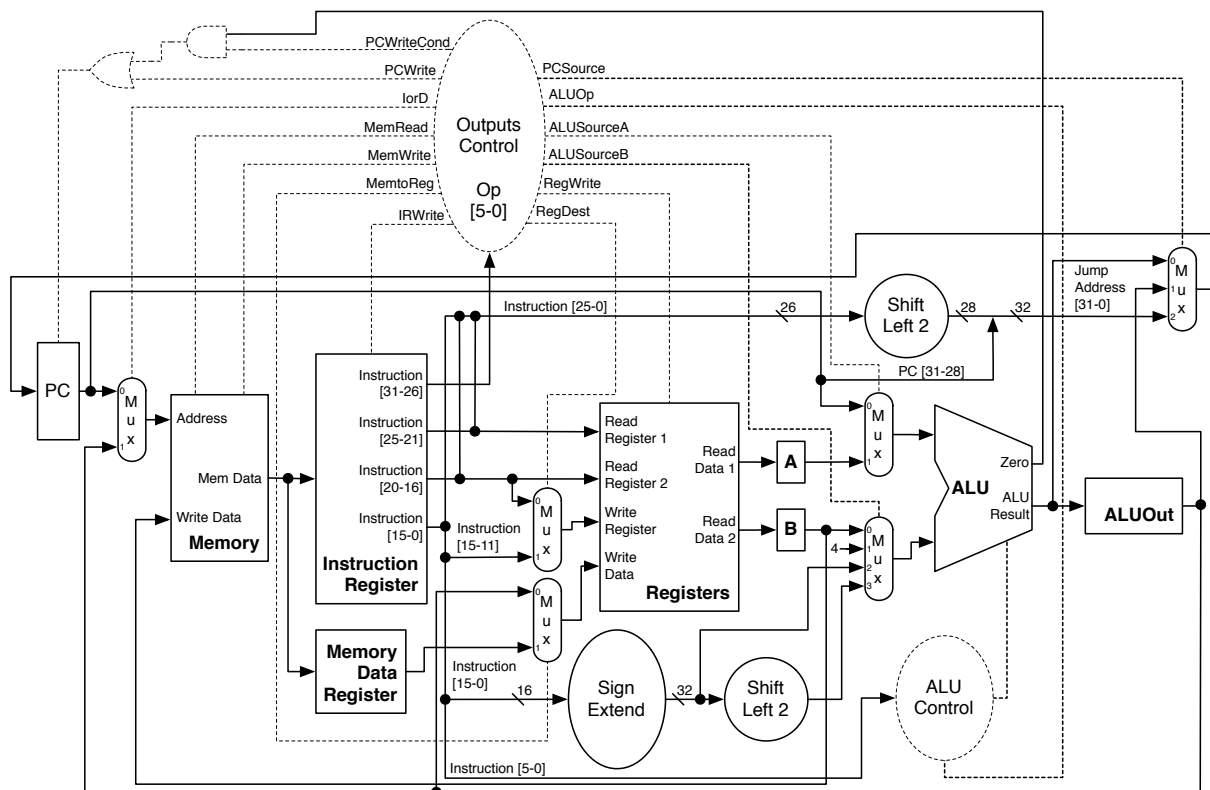


Abbildung 1: Daten- und Kontrollpfad der Mehrzyklenimplementierung

Das bisherige Instruktionsformat für `sll` ist in Abbildung 2 dargestellt:

31	26	25	21	20	16	15	11	10	6	5	0
op	0				rt	rd		shamt	0		

Abbildung 2: sll im R-Typ Format

NAME:

Matrikelnummer:

(a) Zeichnen Sie das neue Instruktionsformat für den I-Typ in Abbildung 3 ein.

(3 Punkte)

31	26	25	0
op=sll			

Abbildung 3: „sll“ im I-Typ Format

31	26	25	0
op=sll			

(Ersatzabbildung: ungültige Lösung streichen!)

(b) Modifizieren bzw. erweitern Sie den Automatengraphen in Abbildung 4, so dass der Befehl **sll** als I-Typ unterstützt wird. Falls nötig erläutern Sie notwendige Erweiterungen des Datenpfads oder der Steuerleitungen.

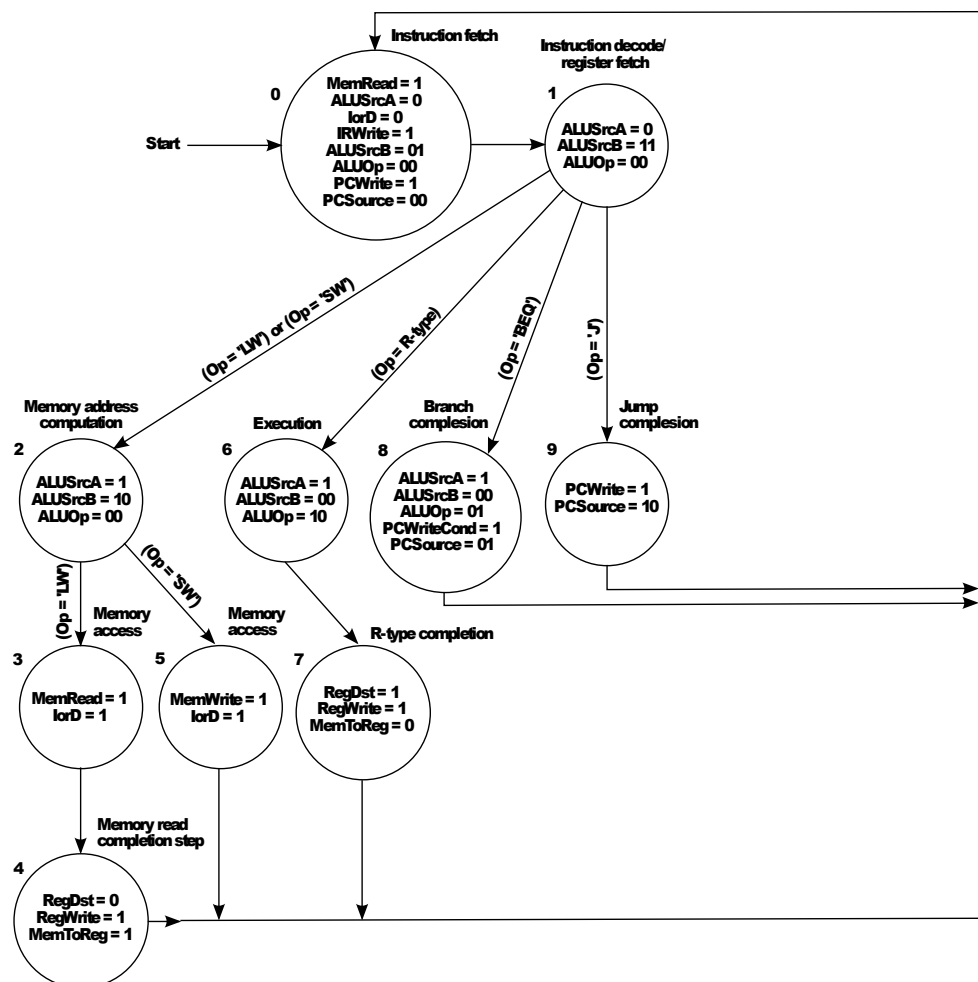
(9 Punkte)

(*Hinweis:* Gehen Sie davon aus, dass die Schiebeoperation in der ALU ausgeführt werden kann.)



NAME:

Matrikelnummer:



(Ersatzabbildung: ungültige Lösung streichen!)

- (c) In der folgenden Tabelle sehen Sie die Häufigkeiten der Befehlstypen, die innerhalb eines speziellen Benchmarkprogramms auftreten.
Tragen Sie die Anzahl der Taktzyklen für die jeweiligen Instruktionstypen in die Tabelle ein. (2 Punkte)

Instruktion	Relative Häufigkeit	Takte
R-Type	50%	
LW	15%	
SW	5%	
J	10%	
Branch	20%	

- (d) Gegeben seien die maximalen Durchlaufzeiten einzelner Zyklen der Mehrzyklenimplementierung:

IF	$3 \cdot 10^{-8}\text{s}$
ID	$2 \cdot 10^{-8}\text{s}$
EX	$1 \cdot 10^{-8}\text{s}$
MEM	$4 \cdot 10^{-8}\text{s}$
WB	$2 \cdot 10^{-8}\text{s}$

Tabelle 1: Maximale Durchlaufzeiten

Vergleichen Sie die mittlere Performanz der Mehrzyklenimplementierung mit einer Einzyklenimplementierung in Bezug auf die Häufigkeitsverteilung der Instruktionstypen aus Aufgabenteil (c). Verwenden Sie hierbei die Ausführungszeit/Instruktion ($t_{I_{exe}}$) als Performanzmetrik. (6 Punkte)

NAME:

Matrikelnummer:

Aufgabe 4 (Leistung unterschiedlicher Speicherorganisationen) [20 Punkte]

Gegeben sei ein eingebettetes System A basierend auf einer Harvard-Architektur, wie in Abbildung 5 gezeigt. Die CPU hat eine Taktfrequenz von 500MHz und einen CPI-Wert ohne cache misses ($CPI_{NoStalls}$) von 2,0.

Der Instruction Cache hat eine Blockgröße von 4 Worten und eine miss-rate von 1%. Er ist über eine einfache Organisation mit einer Bus- und Speicherbreite von einem Wort an den Hauptspeicher angebunden.

Der Data Cache hat eine Blockgröße von 16 Worten und eine miss-rate von 2%. Er ist über eine verschränkte (interleaved) Organisation mit 8 1-Wort Bänken an den Hauptspeicher angebunden.

Die beiden Speicherbusse zum Hauptspeicher sind 5x langsamer getaktet als der Prozessor. Die Zeit zum Senden der Adresse zum Speicher benötigt einen Speicherbuszyklus, der Speicherzriff benötigt 16 Speicherbuszyklen und das Transferieren eines Wortes wieder einen Speicherbuszyklus. Bei der Übertragung eines Blockes (aufeinanderfolgende Adressen) wird die Startadresse nur einmal gesendet.

Wenn in den Aufgaben nicht anders angegeben, verwenden Sie die oben gegebenen Werte in Ihren Rechnungen!

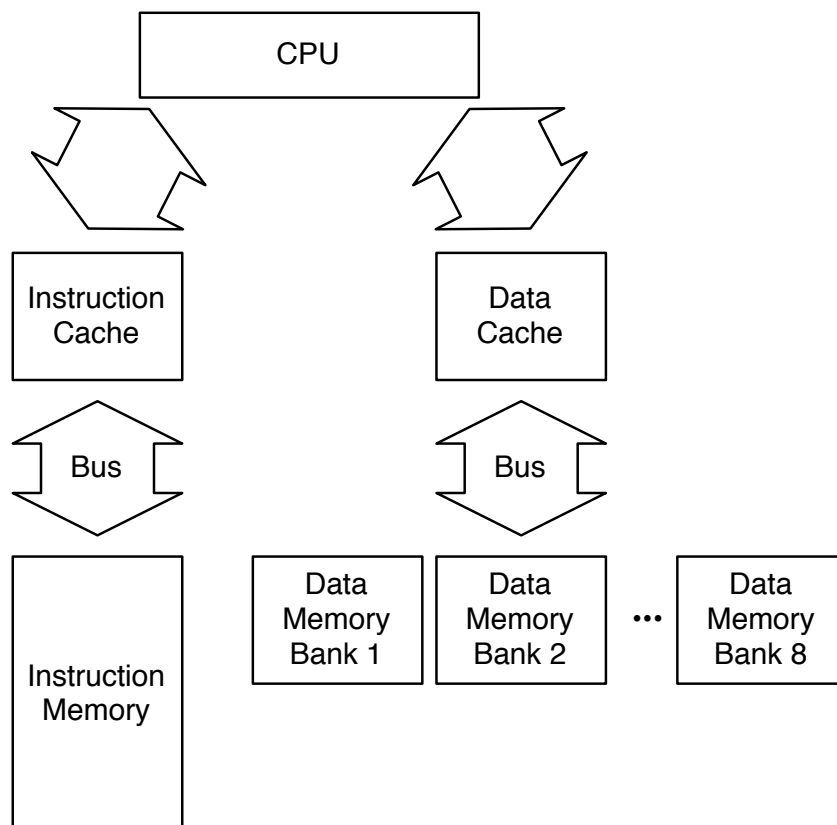


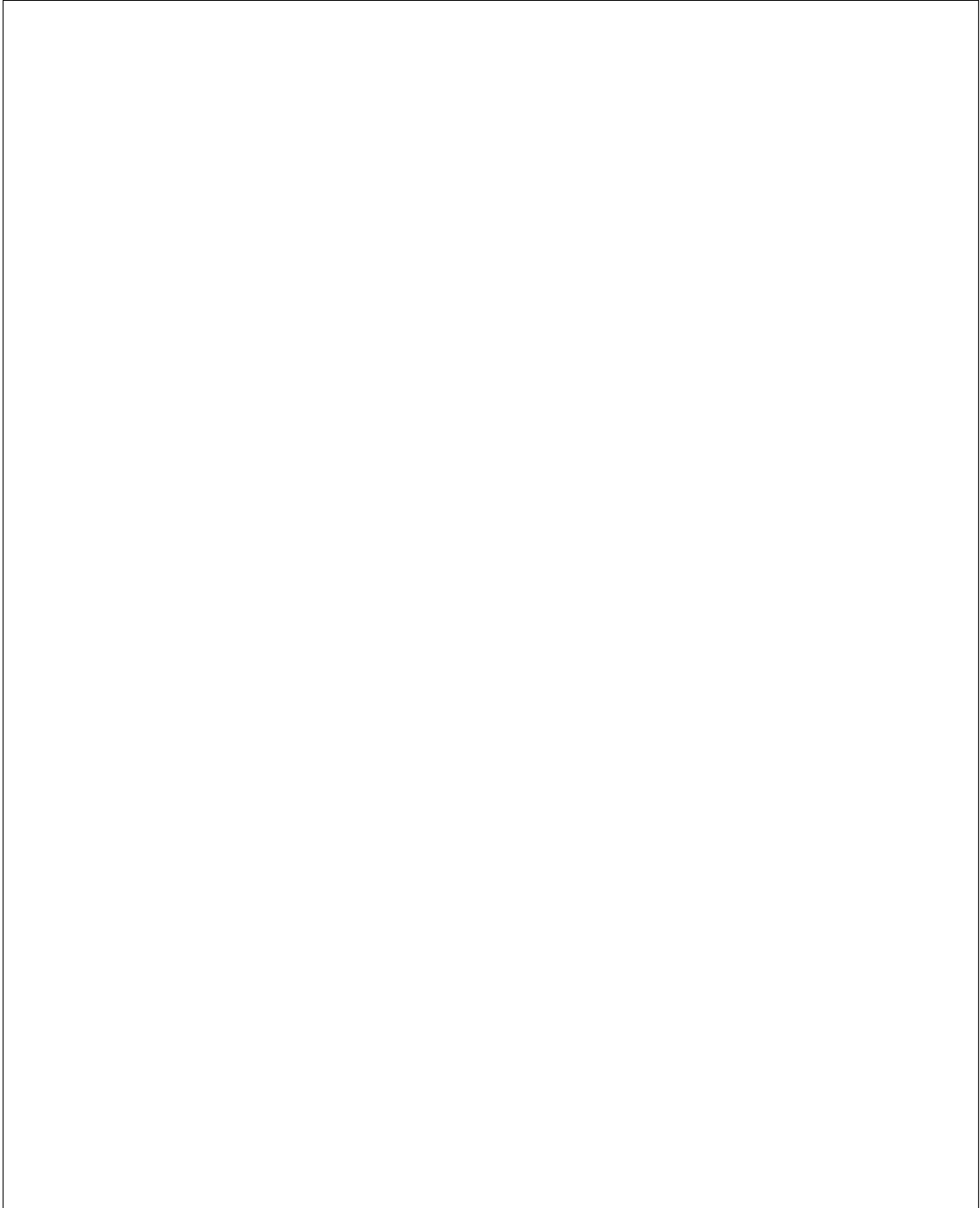
Abbildung 5: Aufbau der Systeme A, B und C

NAME:

Matrikelnummer:

- (a) Berechnen Sie die miss-penalty für beide Caches in Sekunden (bzw. Milli, Mikro,- Nano- oder Pikosekunden) (**Einheit nicht vergessen!**)

(6 Punkte)



Instruction Cache _____

Data Cache _____

- (b) Gegeben sei nun ein System B, das sich nur durch die miss-penalties des Instruction Cache von 350 Zyklen und des Data Cache von 250 Zyklen vom System A unterscheidet. Weiterhin sei ein Workload, der aus 25% Speicherzugriffen besteht, gegeben.

Berechnen Sie den CPI_{stalls} des Systems B für den oben angegebenen Workload.

(6 Punkte)

CPI_{stalls} _____

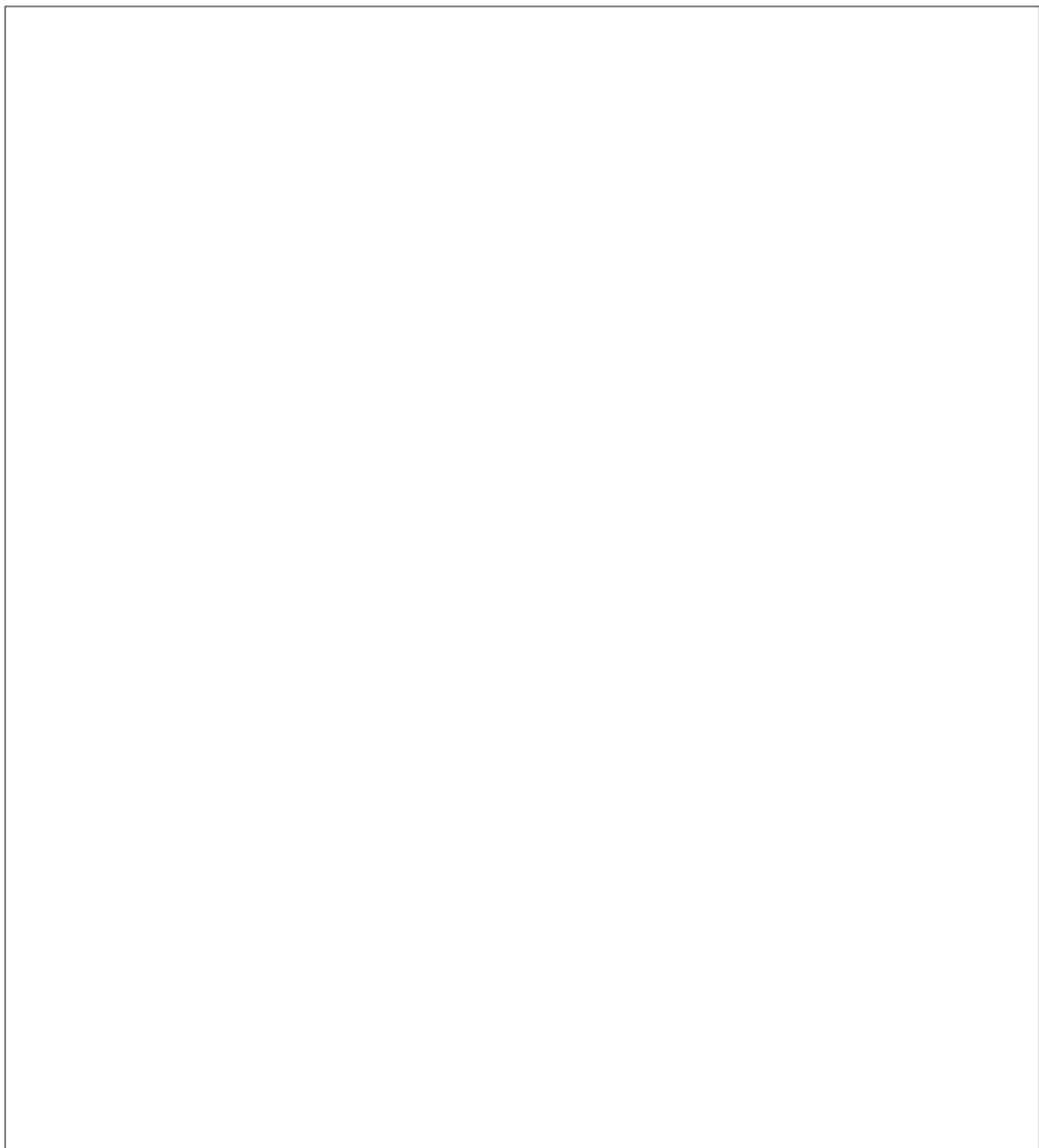
NAME:

Matrikelnummer:

- (c) Gegeben sei System C mit einem CPI-Wert (CPI_{stalls}) von 6,84. Ausgehend davon soll System C_1 entwickelt werden mit folgender Speicherorganisation: Der Instruction Cache hat eine verschränkte (interleaved) Organisation mit 4 1-Wort breiten Bänken und der Data Cache eine verschränkte (interleaved) Organisation mit 16 1-Wort breiten Bänken. Des Weiteren wurden die Buszyklen beim Speicherzriff auf 15 Speicherbuszyklen für beide Caches gesenkt. Der Workload ist dabei der selbe wie in Aufgabenteil (b) (25% Speicherzugriffe).

Um wie viel ist die Performance des Systems C_1 größer als die des Systems C?

(8 Punkte)



Performance _____

Weitere Berechnungen (**Falls verwendet bitte Aufgabenteil angeben!**)

NAME:

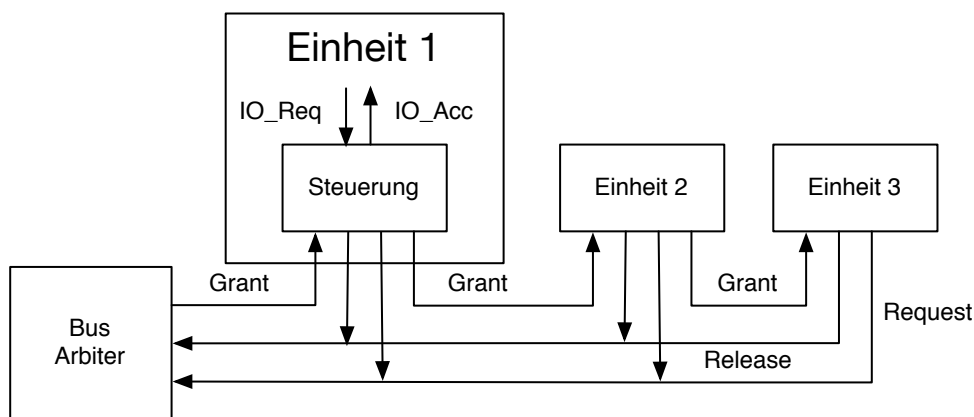
Matrikelnummer:

Aufgabe 5 (Ein-/Ausgabe (Busse))

[25 Punkte]

An einen Bus sind drei Einheiten angeschlossen. Zur Arbitrierung des Busses wird das Daisy-Chain Arbitrierungsschema verwendet. Das Verfahren wird durch einen Bus Arbitrer realisiert. Die Übertragung von Daten erfolgt synchron. Die Steuersignale werden immer nur für einen Takt auf 1 gesetzt. Eine Einheit kann den Bus nur verwenden, wenn sie ihn zuvor auch selbst angefordert hat. Intern verwenden die Einheiten eine Steuerlogik (Steuerung), die die Steuersignale nach aussen setzt. Möchte die Einheit den Bus belegen teilt sie dieses der Steuerung mittels des Signals *IO_Req* mit. Hat die Steuerung den Bus erhalten, wird dieses mittels des Signals *IO_Acc* signalisiert.

Die Priorität der Einheiten ist: Einheit 1 > Einheit 2 > Einheit 3

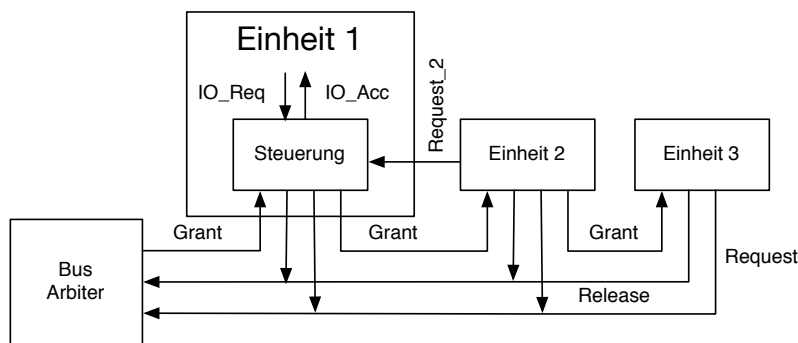


- (a) Spezifizieren Sie die Funktion der Steuerung von Einheit 1 mit Hilfe eines Moore-Automaten: (12 Punkte)

- (b) Einheit 2 kann verhungern, wenn Einheit 1 immer den Bus zur selben Zeit verwenden möchte.

Das Daisy-Chain Verfahren soll nun so erweitert werden, dass Einheit 2 nach einem erfolglosen Versuch den Bus zu arbitrieren beim nächsten Versuch den Bus zu arbitrieren den Zugriff erhält. Einheit 2 soll diese höhere Priorität nur für einen (!) Zugriff erhalten.

Die höhere Priorisierung soll in der Steuerung von Einheit 1 realisiert werden. Hierfür erhält die Steuerung von Einheit 1 einen zusätzlichen Eingang. An diesen Eingang wird das ausgehende Steuersignal *Request_2* von Einheit 2 weitergeleitet. Im nachfolgenden Bild ist die zusätzliche Steuerleitung eingezeichnet:



Spezifizieren Sie die zusätzliche Funktion in der Steuerung von Einheit 1 mit Hilfe eines Moore-Automaten: (13 Punkte)

Konzeptpapier: Falls der Platz unter den einzelnen Aufgaben nicht ausreicht, können Sie diese Seiten für Zwischenrechnungen nutzen. Bitte Lösung und Lösungsweg eindeutig mit der Aufgabennummer markieren!

NAME:

Matrikelnummer:

Konzeptpapier: Falls der Platz unter den einzelnen Aufgaben nicht ausreicht, können Sie diese Seiten für Zwischenrechnungen nutzen. Bitte Lösung und Lösungsweg eindeutig mit der Aufgabennummer markieren!

Konzeptpapier: Falls der Platz unter den einzelnen Aufgaben nicht ausreicht, können Sie diese Seiten für Zwischenrechnungen nutzen. Bitte Lösung und Lösungsweg eindeutig mit der Aufgabennummer markieren!