

Klausur zur Vorlesung

# Grundlagen der Rechnerarchitektur / Technische Informatik (GRA/TI)

Prof. Marco Platzner  
Fachgebiet Technische Informatik  
Universität Paderborn

28.02.2009

- Die Bearbeitungsdauer beträgt für alle Studenten **90 Minuten**. Es sind **alle 6 Aufgaben** zu bearbeiten.
- Es sind keine Hilfsmittel zugelassen.
- Schreiben Sie nicht mit Bleistift oder Rotstift.
- Verwenden Sie kein eigenes Papier. Bei Bedarf bekommen Sie Papier bei der Klausuraufsicht.
- Schreiben Sie auf jedes Blatt (auch auf das Konzeptpapier) in Blockschrift Ihren Namen und Ihre Matrikelnummer.
- Bei mehreren präsentierten Lösungen wird die Aufgabe nicht gewertet! Streichen Sie daher bei Angabe mehrerer Lösungsansätze die nicht zu bewertenden Lösungen durch! Verwenden Sie kein Tipp-Ex.
- Abschreiben und abschreiben lassen oder Hilfe Dritter führt zum Nichtbestehen der Klausur.

Nachname: \_\_\_\_\_

Vorname: \_\_\_\_\_

Matrikelnummer: \_\_\_\_\_

Studiengang: \_\_\_\_\_

Aufkleber

Aufgabe	1	2	3	4	5	6	$\Sigma$
Punkte	15	10	20	15	15	15	90
Erreicht							

**Aufgabe 1 (Multiple Choice)**

**[15 Punkte]**

Bei den folgenden Fragen können keine, eine oder mehrere Antworten richtig sein. Kreuzen Sie die richtigen Antworten deutlich an.

(a) Bei der Herstellung von integrierten Schaltungen hängt die *Ausbeute* ab von:

- ☐ der Defektdichte
- ☐ der Anzahl von Dies pro Wafer
- ☐ den Kosten eines Dies
- ☐ der Diefläche

(b) Die erzielbare Taktperiode  $T$  für einen Prozessor wird beeinflusst durch:

- ☐ den Instruktionssatz
- ☐ den Compiler
- ☐ die mikroelektronische Technologie
- ☐ die Rechnerarchitektur

(c) Welche technologischen Trends bzgl. Prozessor und Speicher lassen sich in den letzten Jahrzehnten beobachten:

- ☐ Die Kosten pro MByte von SRAM, DRAM und Disks sind um ca. drei Größenordnungen gefallen.
- ☐ Die Zugriffszeiten für SRAM sind in etwa konstant geblieben, während die Zugriffszeiten für DRAM und Disks um ca. eine Größenordnung gefallen sind.
- ☐ Die Geschwindigkeitslücke zwischen Prozessor und DRAM wurde kleiner.

NAME:

Matrikelnummer:

---

(d) Eigenschaften einer zentralen Bus-Arbitrierung sind:

- ☐ Durch Ausfall des Bus-Arbiters kann überhaupt keine Kommunikation mehr stattfinden.
- ☐ Den Einheiten lassen sich beliebige Prioritäten zuordnen.
- ☐ Fairness kann sichergestellt werden.
- ☐ Alle Einheiten können dieselbe Requestleitung nutzen.

(e) Die IA-64 Architektur (Itanium, Itanium 2) ist eine ...

- ☐ superskalare Architektur
- ☐ VLIW Architektur
- ☐ Einzyklen-Architektur

**Aufgabe 2 (Leistungsbewertung)**

**[10 Punkte]**

Ein Prozessor besitzt die Instruktionsklassen  $A$ ,  $B$  und  $C$ . Instruktionen der Klasse  $A$  benötigen zwei, Instruktionen der Klasse  $B$  sechs und Instruktionen der Klasse  $C$  18 Taktzyklen.

Es soll ein Programm abgearbeitet werden, dass zu 70%  $A$ -Instruktionen, zu 25%  $B$ -Instruktionen und zu 5%  $C$ -Instruktionen ausführt.

- (a) Durch Redesign des Prozessors könnte man die Instruktionen der Klasse  $B$  um den Faktor zwei beschleunigen. Zu welchem Speedup führt diese Maßnahme? (Das Ergebnis kann als Bruch angegeben werden.)
- (b) Um welchen Faktor müsste man alternativ die Instruktionen der Klasse  $C$  beschleunigen, um einen gleich hohen Speedup wie in (a) zu erreichen? (Lösen Sie die Aufgabe rechnerisch!)

NAME:

Matrikelnummer:

---

### Aufgabe 3 (Prozessorentwurf)

[20 Punkte]

Für ein eingebettetes System soll ein Prozessor eingesetzt werden, wie er in Abbildung 1 zu sehen ist. Es ist eine Mehrzyklenimplementierung mit dem MIPS-Befehlssatz.

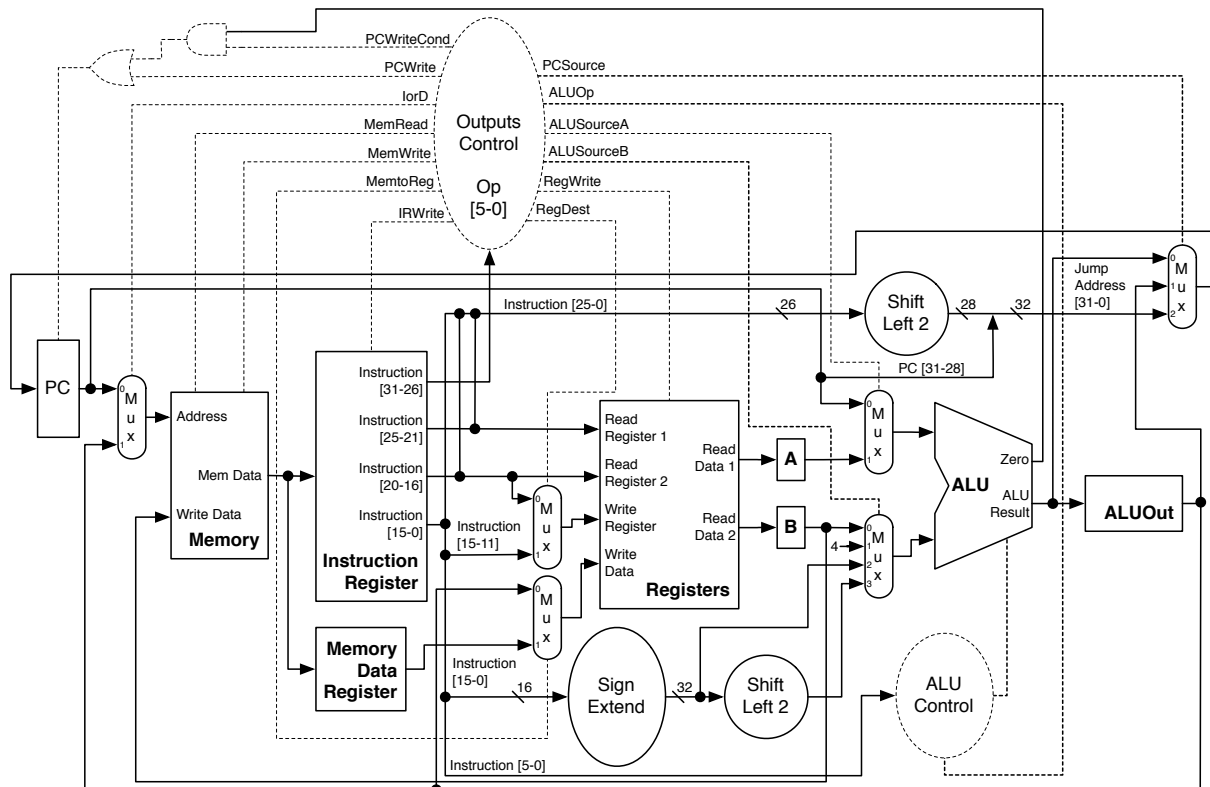


Abbildung 1: Mehrzyklenimplementation

Um die Programmausführung zu beschleunigen soll ein neuer Befehl implementiert werden:

*ji imm(register)*      Jump Indirect

Dieser neue Befehl soll einen indirekten Sprung ausführen, d.h. die Sprungadresse liegt im Speicher. Über das Register *register* wird die Speicheradresse angegeben, an der die Sprungadresse steht. Mit *imm* kann noch ein Wort-Offset zur Speicheradresse angegeben werden.

Mit diesem Befehl lassen sich Sprungtabellen sehr gut realisieren. Üblicherweise braucht man für einen indirekten Sprung zwei Instruktionen, ein *lw* (Load Word), mit dem man die Sprungadresse in ein Register lädt, und ein *jr* (Jump Register) um den Sprung auszuführen.

Im Folgenden sollen Sie die Mehrzyklenimplementierung um den Befehl *ji* erweitern und den Performancegewinn anhand eines gegebenen Instruktionsmixes errechnen.

NAME:

Matrikelnummer:

(a) Geben Sie den Instruktionstyp an, der für die Instruktion  $j_i$  benutzt wird:

\_\_\_\_\_

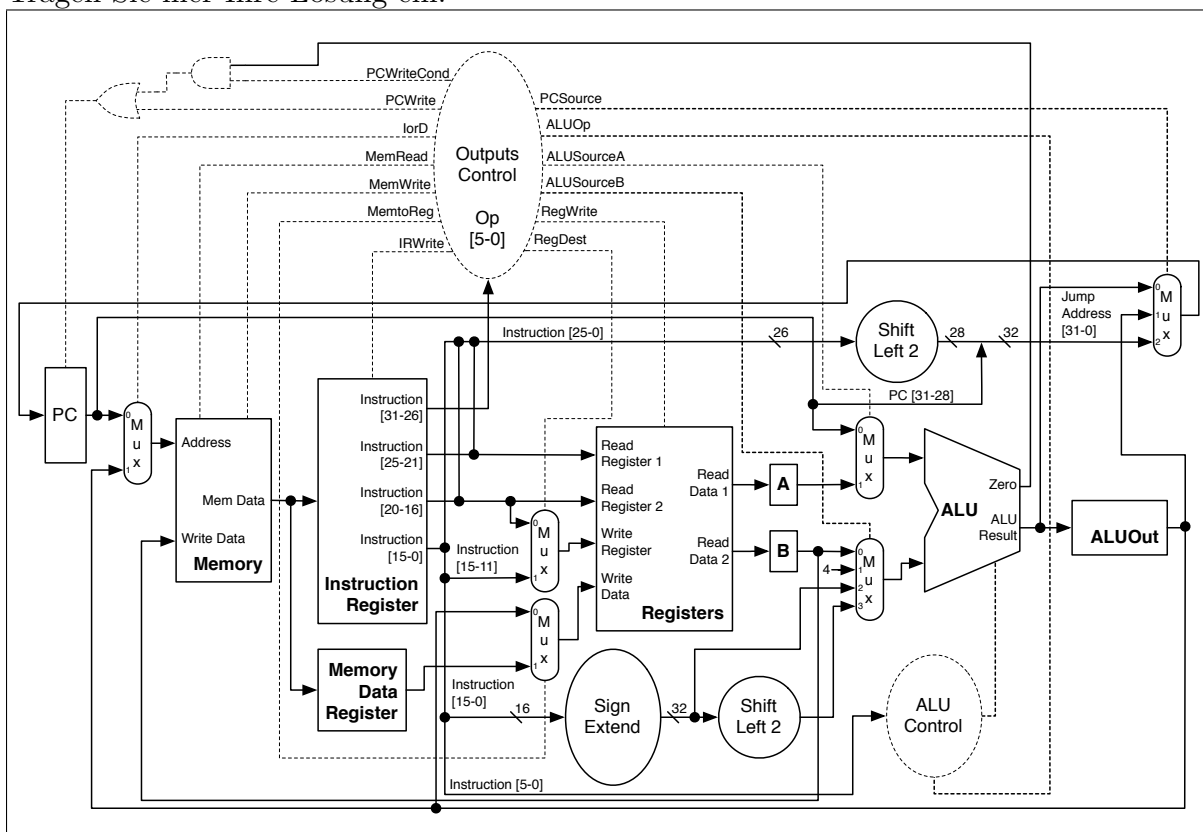
(b) Zeichnen Sie das verwendete Instruktionsformat in Abbildung 2. Elemente des Befehles, die für die Instruktion nicht benötigt werden, kennzeichnen Sie mit einem **X**.



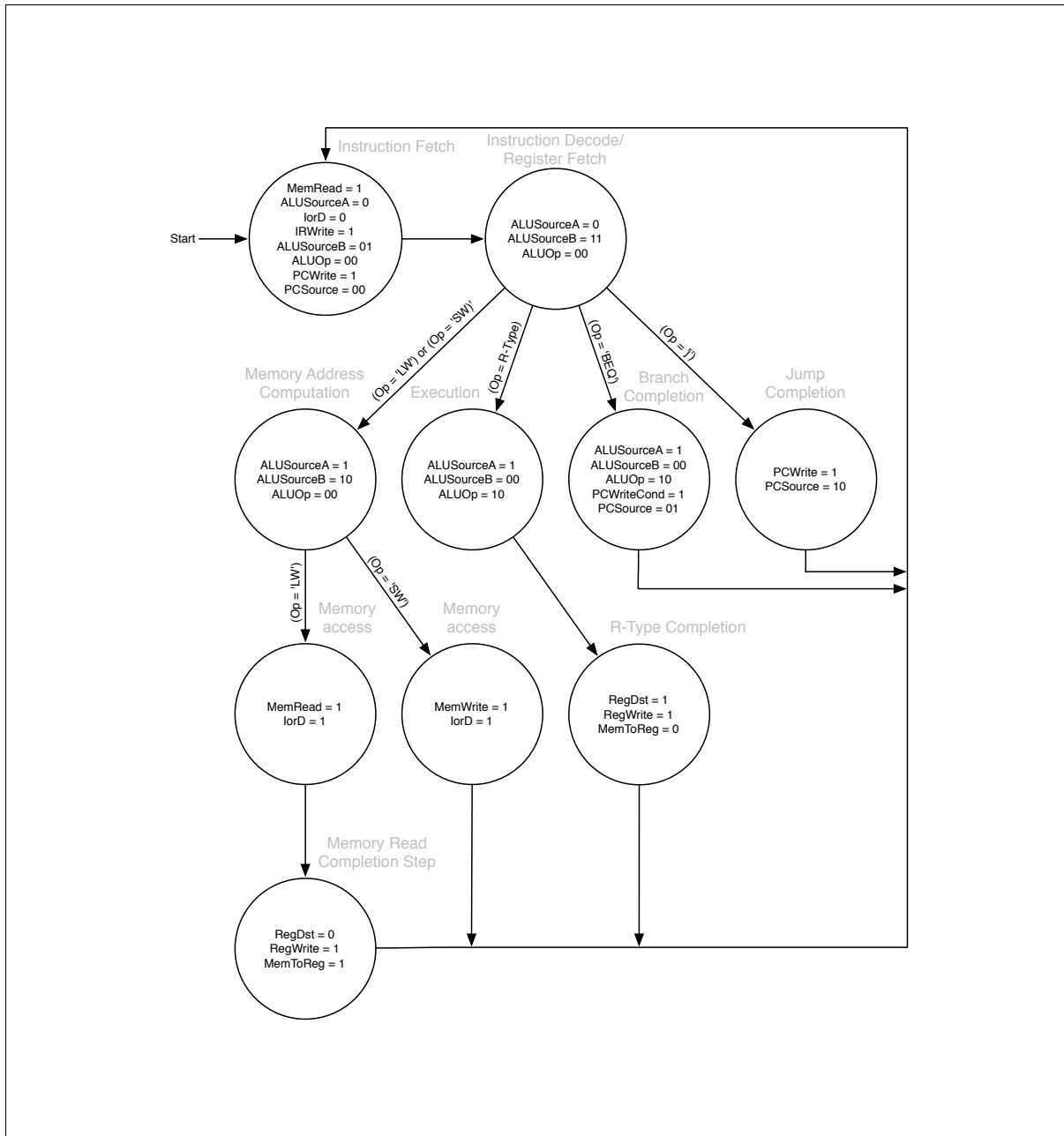
Abbildung 2: Instruktionsformat

(c) Erweitern Sie den Datenpfad der Mehrzyklenimplementierung so, dass der Befehl  $j_i$  unterstützt wird.

Tragen Sie hier Ihre Lösung ein:



- (d) Modifizieren bzw. erweitern Sie den Controller, so dass der Befehl *ji* unterstützt wird.





NAME:

Matrikelnummer:

---

- (e) Tragen Sie die Anzahl der Taktzyklen für die jeweiligen Instruktionen in die beiden unteren Tabellen ein und berechnen Sie die relative Performance des Systems mit der Instruktion  $ji$  gegenüber dem System ohne Instruktionserweiterung für das gegebene Programm.

Instruktionsmix für das Programm ohne Instruktionserweiterung:

Instruktion	Relative Häufigkeit	Takte
R-Type	40%	
LW	20%	
SW	10%	
J	30%	

Benötigte Instruktionen für die Ausführung: 10.000

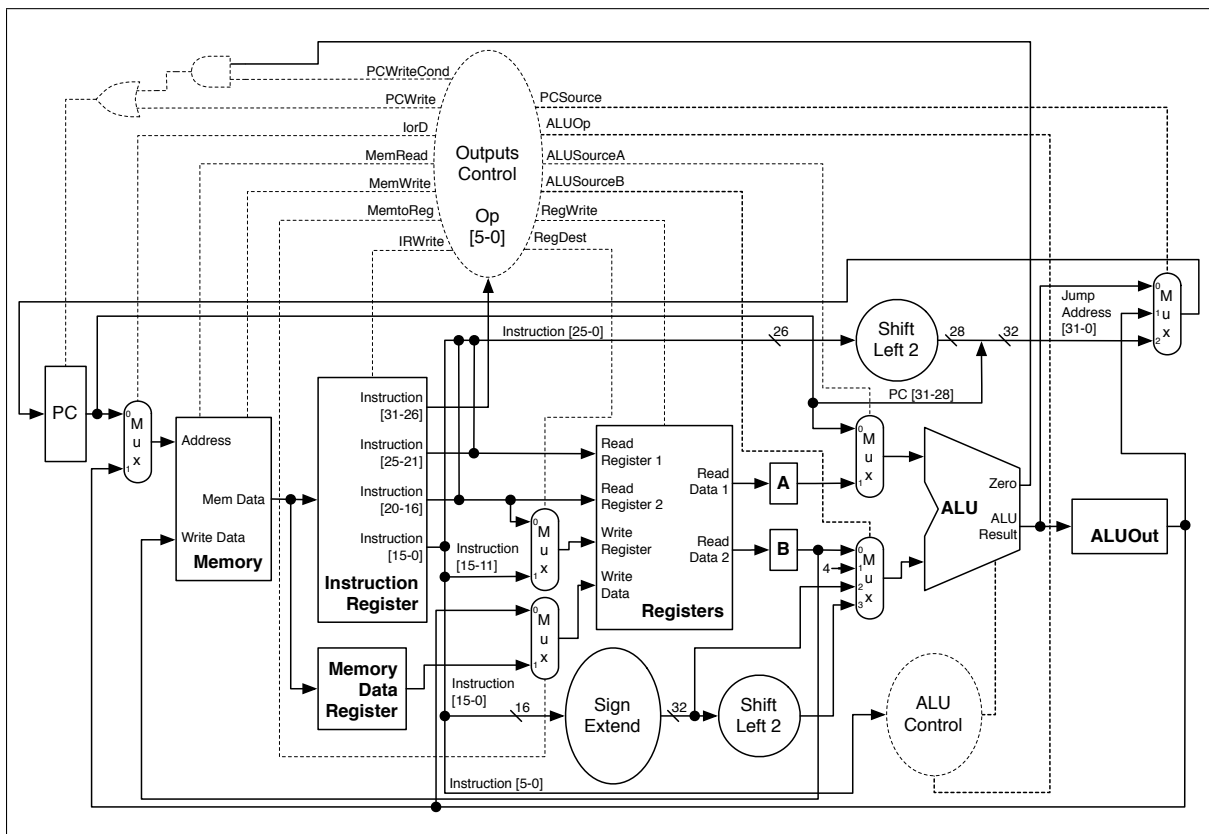
Instruktionsmix für das Programm mit Instruktionserweiterung  $ji$ :

Instruktion	Relative Häufigkeit	Takte
R-Type	50%	
LW	10%	
SW	10%	
J	20%	
JI	10%	

Benötigte Instruktionen für die Ausführung: 9.000

Berechnung der relativen Performance (Das Ergebnis kann als Bruch angegeben werden):

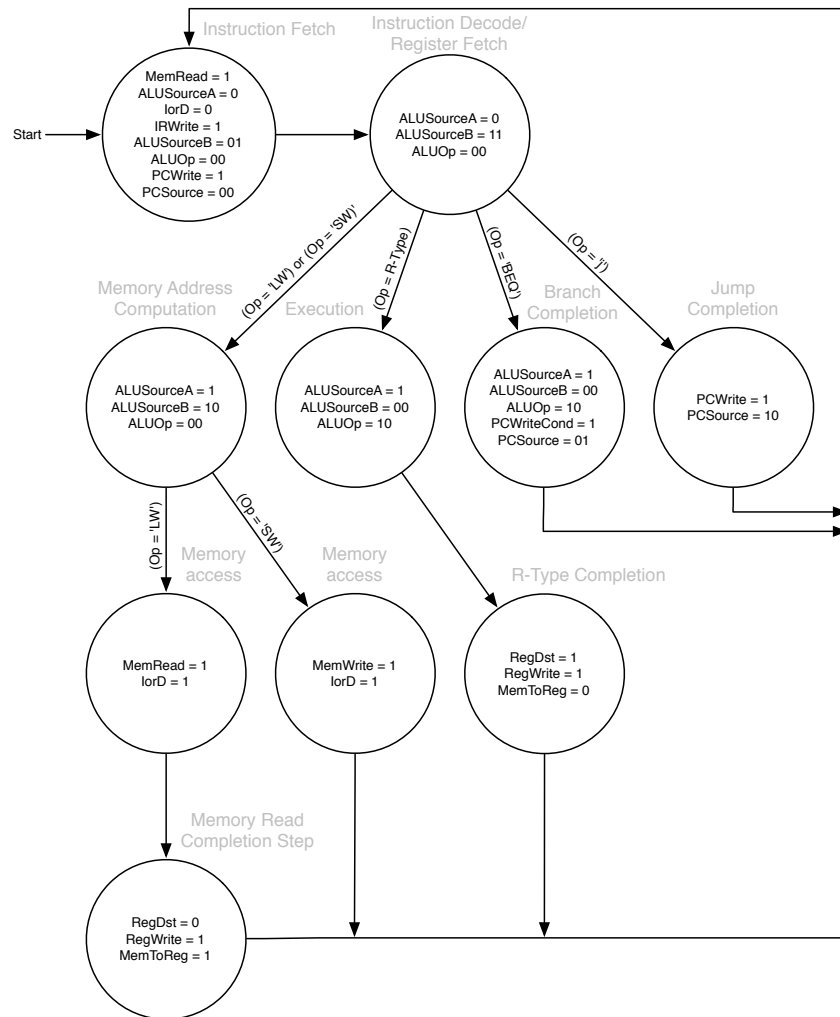
Ersatzdiagramme (Bitte ungültige Lösung streichen)



NAME:

Matrikelnummer:

Ersatzdiagramm (Bitte ungültige Lösung streichen)



**Aufgabe 4 (Pipelining - Sprungvorhersage)**

**[15 Punkte]**

- (a) Die Vorhersagegenauigkeit für drei verschiedene Prädiktoren soll untersucht werden. Dazu sei eine Schleife mit drei bedingten Sprüngen gegeben. Wir nehmen an, dass das Sprungverhalten sich nicht ändert. Berechnen Sie die Vorhersagegenauigkeit (in Prozent) für folgende Prädiktoren:

- (1) Statische Sprungvorhersage: branch taken
- (2) Dynamische Sprungvorhersage: 1-bit Prädiktor, initialisiert mit branch not taken
- (3) Dynamische Sprungvorhersage: 2-bit Prädiktor, initialisiert mit branch weak taken

Branches										Prädiktor 1										Anzahl Treffer
B1	N	T	T	N	T	N	T													
B2	T	T	T	N																
B3	T	N	T	T	N	N	T	T	T											
																				Σ

Vorhersagegenauigkeit: \_\_\_\_\_

Branches										Prädiktor 2										Anzahl Treffer
B1	N	T	T	N	T	N	T													
B2	T	T	T	N																
B3	T	N	T	T	N	N	T	T	T											
																				Σ

Vorhersagegenauigkeit: \_\_\_\_\_

Branches										Prädiktor 3										Anzahl Treffer
B1	N	T	T	N	T	N	T													
B2	T	T	T	N																
B3	T	N	T	T	N	N	T	T	T											
																				Σ

Vorhersagegenauigkeit: \_\_\_\_\_

NAME:

Matrikelnummer:

Ersatzdiagramme:

Branches										Prädiktor ____										Anzahl Treffer
B1	N	T	T	N	T	N	T													
B2	T	T	T	N																
B3	T	N	T	T	N	N	T	T	T											
										$\Sigma$										

Vorhersagegenauigkeit: \_\_\_\_\_

Branches										Prädiktor ____										Anzahl Treffer
B1	N	T	T	N	T	N	T													
B2	T	T	T	N																
B3	T	N	T	T	N	N	T	T	T											
										$\Sigma$										

Vorhersagegenauigkeit: \_\_\_\_\_

Branches										Prädiktor ____										Anzahl Treffer
B1	N	T	T	N	T	N	T													
B2	T	T	T	N																
B3	T	N	T	T	N	N	T	T	T											
										$\Sigma$										

Vorhersagegenauigkeit: \_\_\_\_\_

Branches										Prädiktor ____										Anzahl Treffer
B1	N	T	T	N	T	N	T													
B2	T	T	T	N																
B3	T	N	T	T	N	N	T	T	T											
										$\Sigma$										

Vorhersagegenauigkeit: \_\_\_\_\_

(b) Geben Sie für einen 2KBit *branch prediction buffer* die Anzahl der benötigten Indizierungsbits für folgende Fälle an:

(1) dynamische Vorhersage mit einem 1-Bit Prädiktor.

\_\_\_\_\_

(2) dynamische Vorhersage mit einem 2-Bit Prädiktor.

\_\_\_\_\_

NAME:

Matrikelnummer:

---

### Aufgabe 5 (Caching)

[15 Punkte]

Tabelle 5 zeigt die Belegung eines teillassoziativen Caches für eine byte-adressierbare Architektur mit 10-Bit-Adressen und 32-Bit Daten (d.h. ein Wort ist 32 Bit breit). „Mem[ $x:y$ ]“ steht dabei für den Inhalt des Hauptspeichers von Byteadresse  $x$  bis  $y$ .

Index	V	Tag	Data	Index	V	Tag	Data
0	0	000	Mem[0:31]	0	1	011	Mem[384:415]
1	1	010	Mem[288:319]	1	1	110	Mem[800:831]
2	0	100	Mem[576:607]	2	0	111	Mem[960:991]
3	0	101	Mem[736:767]	3	1	001	Mem[224:255]

Tabelle 1: Initiale Cachebelegung

- (a) Bestimmen Sie die Größen von Tag, Index, Blockoffset und Byteoffset, zeichnen Sie die Grenzen der Bitfelder in die Abbildung 3 durch senkrechte Striche ein, so dass Sie die Aufteilung der Adresse darstellt, und beschriften Sie die entstandenen Felder.

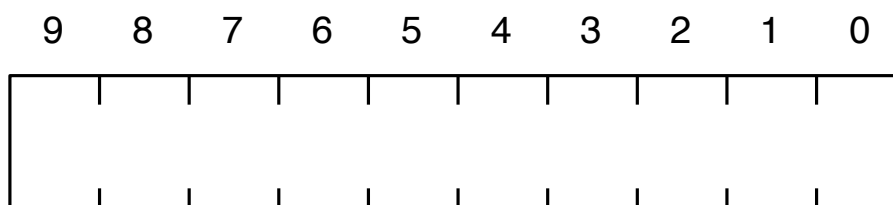


Abbildung 3: Adressaufteilung

- (b) Nun wird auf die Byteadressen 823, 899, 12, 917, 740 und 1023 (in dieser Reihenfolge) zugegriffen. Tragen Sie Hits (H) und Misses (M) für diese Zugriffe in Tabelle 4 ein und geben Sie die resultierende Cachebelegung in Tabelle 3 an. Verwenden Sie als Ersetzungsstrategie *least recently used* (LRU). Sollte ein Cacheblock überschrieben werden, schreiben Sie die neuen Werte mit einem Komma getrennt neben die alten Werte. Nicht veränderte Werte aus der Originaltabelle müssen nicht übertragen werden.

$823_{10} = 1100110111_2$		$899_{10} = 1110000011_2$	
$12_{10} = 0000001100_2$		$917_{10} = 1110010101_2$	
$740_{10} = 1011100100_2$		$1023_{10} = 1111111111_2$	

Tabelle 2: Hits (H) und Misses (M)



NAME:

Matrikelnummer:

Index	V	Tag	Data	Index	V	Tag	Data
0				0			
1				1			
2				2			
3				3			

Tabelle 3: Resultierende Cachebelegung

- (c) Nennen Sie einen Vor- und einen Nachteil, den (mehrfach) assoziative Caches gegenüber Caches mit direkter Abbildung haben.

Vorteil:

Nachteil:

$823_{10} = 1100110111_2$		$899_{10} = 1110000011_2$	
$12_{10} = 0000001100_2$		$917_{10} = 1110010101_2$	
$740_{10} = 1011100100_2$		$1023_{10} = 1111111111_2$	

Tabelle 4: Hits (H) und Misses (M) (Ersatz)

Index	V	Tag	Data	Index	V	Tag	Data
0				0			
1				1			
2				2			
3				3			

Tabelle 5: Resultierende Cachebelegung (Ersatz)

## Aufgabe 6 (Video-on-Demand Server)

[15 Punkte]

Ein Video-on-Demand Provider möchte seine Dienstleistung in einem Stadtbezirk anbieten und kalkuliert seine IT-Infrastruktur, die aus einer Reihe von Video-Servern besteht.

Spezifikation und Annahmen für einen Video-on-Demand Server:

- CPU mit 5.000 MIPS
- Bei einer I/O Operation werden  $3 \cdot 10^7$  Byte transferiert, die auf den Disks in sequentiellen Sektoren abgelegt sind. Für eine I/O Operation werden 200.000 Instruktionen des Anwendungsprogramms und 200.000 Instruktionen des Betriebssystems durchgeführt.
- An den Speicherbus mit einer Datenrate von 10 GB/s sind die CPU, der Speicher und ein Diskkontroller angeschlossen.
- An den Diskkontroller (8-Port SAS) können bis zu 8 Disks (Kanäle) mit je maximal 3 GB/s angeschlossen werden. Kontrolleroverhead und Wartezeiten durch Zugriffskonflikte werden vernachlässigt.
- Eine Disk hat eine Zugriffszeit von 3,6 ms, einer Transferrate von 150 MB/s und 15.000 rpm (Umdrehungen pro Minute).

(a) Wie viele I/O Operationen pro Sekunde (IOPS) kann die CPU durchführen?

---

---

(b) Wie viele IOPS kann der Speicherbus transferieren?

---

---

(c) Wie lange dauert der durchschnittliche Diskzugriff für eine I/O Operation? Runden Sie für die weitere Berechnungen die Diskzugriffszeit für eine I/O Operation auf die naheliegendste Hundert-Millisekunden Stufe.

---

---

---

---

NAME:

Matrikelnummer:

---

(d) Wie viele IOPS kann eine Disk durchführen?

---

---

(e) Überschreitet die gemeinsame IOPS Rate von acht Festplatten die Kapazität des Speicherbusses oder der CPU?

---

---

(f) Der Video-on-Demand Service soll für 200 Haushalte angeboten werden. Dabei wird angenommen, dass ein Videostream für einen Haushalt eine durchschnittliche Bandbreite von 6 MBit/s (Achtung: Bit !!) benötigt. Wie viele IOPS werden höchstens von den Haushalten erzeugt?

---

---

(g) Wie viele Video-on-Demand Server mit wievielen Disks muss der Provider installieren?

---

---

**Konzeptpapier:** Falls der Platz unter den einzelnen Aufgaben nicht ausreicht, können Sie diese Seiten für Zwischenrechnungen nutzen. Bitte Lösung und Lösungsweg eindeutig mit der Aufgabennummer markieren!

NAME:

Matrikelnummer:

---

**Konzeptpapier:** Falls der Platz unter den einzelnen Aufgaben nicht ausreicht, können Sie diese Seiten für Zwischenrechnungen nutzen. Bitte Lösung und Lösungsweg eindeutig mit der Aufgabennummer markieren!

**Konzeptpapier:** Falls der Platz unter den einzelnen Aufgaben nicht ausreicht, können Sie diese Seiten für Zwischenrechnungen nutzen. Bitte Lösung und Lösungsweg eindeutig mit der Aufgabennummer markieren!